

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    8 月    8 日  
Date of Application:

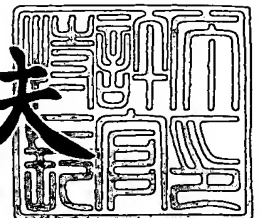
出 願 番 号                      特 願 2 0 0 3 - 2 9 0 0 0 6  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 2 9 0 0 0 6 ]

出      願      人                      三 菱 電 機 株 式 会 社  
Applicant(s):

2 0 0 3 年    9 月    4 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 546791JP01  
【提出日】 平成15年 8月 8日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G06F 15/16  
【発明者】  
    【住所又は居所】 東京都千代田区大手町二丁目 6 番 2 号 三菱電機エンジニアリング株式会社内  
    【氏名】 橋本 光司  
【発明者】  
    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内  
    【氏名】 中本 勝也  
【発明者】  
    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内  
    【氏名】 岩上 祐希  
【発明者】  
    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内  
    【氏名】 石井 晃弘  
【特許出願人】  
    【識別番号】 000006013  
    【氏名又は名称】 三菱電機株式会社  
【代理人】  
    【識別番号】 100073759  
    【弁理士】  
    【氏名又は名称】 大岩 増雄  
【選任した代理人】  
    【識別番号】 100093562  
    【弁理士】  
    【氏名又は名称】 児玉 俊英  
【選任した代理人】  
    【識別番号】 100088199  
    【弁理士】  
    【氏名又は名称】 竹中 岑生  
【選任した代理人】  
    【識別番号】 100094916  
    【弁理士】  
    【氏名又は名称】 村上 啓吾  
【手数料の表示】  
    【予納台帳番号】 035264  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

プログラムメモリ、演算処理用 RAM メモリ、マイクロプロセッサ、第一の直並列変換器を含む第一の制御回路部と、

少なくとも監視・制御信号の送信を行うための通信制御回路部、データメモリ、第二の直並列変換器を含む第二の制御回路部とを備え、

上記第一・第二の直並列変換器を介して上記第一・第二の制御回路部相互間で監視・制御信号のシリアル送信を行うように構成された電子制御装置において、

上記第一の制御回路部は定期送信手段と不定期送信手段とを備えると共に、上記第二の制御回路部は定期報告手段と未処理データテーブルとを備え、

上記定期送信手段は上記第一の制御回路部から第二の制御回路部に対して定期的に制御出力データや定数設定データを送信すると共に、第二の制御回路部が当該定期送信データを受信したかどうかの確認返信を行って、通信エラーがあれば第一の制御回路部から第二の制御回路部に対して再送処理が行われる書込設定手段であり、

上記定期報告手段は上記第二の制御回路部から第一の制御回路部に対して監視入力データとステータス情報を定期報告すると共に、第一の制御回路部が当該定期報告データを受信したかどうかの確認返信を行わない一方の入力読出手段であり、

上記不定期送信手段は上記定期報告手段による報告通信にエラーがあったときに摘要可能であって、上記第一の制御回路部が第二の制御回路部に対して指定アドレスの監視入力データを読出要求すると共に、上記定期送信手段によって書込設定された書込保存データを読出しチェックするための読出要求にも随時摘要される送信手段であって、

しかも、上記第二の制御回路部が当該不定期送信データを受信したことに対する確認返信として、指定されたアドレスの監視入力データ又は書込保存データの報告返信を行って、該報告返信に通信エラーがあれば第一の制御回路部から第二の制御回路部に対して再度読出要求が行われる読出要求手段であり、

上記未処理データテーブルは上記第二の制御回路部が第一の制御回路部から送信データを受信したときに、確認返信を行うためのコマンドデータを順次保存すると共に、第一の制御回路部への確認返信データを送信したときに当該保存データを順次消去するよう構成された受信側コマンドメモリとし、上記未処理データテーブルによって上記第二の制御回路部から第一の制御回路部に対する上り通信の渋滞を回避しながら定期報告データの送信が行えるよう構成されていることを特徴とする電子制御装置。

**【請求項 2】**

上記第一の制御回路部は返信待ちデータテーブルと再送手段とを備え、

上記返信待ちデータテーブルは上記第一の制御回路部が第二の制御回路部に対して定期送信手段及び不定期送信手段で送信した送信コマンドを順次保存すると共に、第二の制御回路部からの確認返信データ又は報告返信データを受信したときに当該保存コマンドを順次消去するよう構成された送信側コマンドメモリとし、

上記再送手段は上記定期送信手段又は不定期送信手段に対する確認返信又は報告返信に通信エラーがあったとき、又は上記送信側コマンドメモリに格納された先頭送信コマンドが所定時間を超過しても消去されていないときに作用して、当該異常送信コマンドに基づく送信データを再度送信する手段とし、再度送信された送信コマンドは上記送信側コマンドメモリから削除・再格納され、先入れ先出し処理が行われるものであることを特徴とする請求項 1 に記載の電子制御装置。

**【請求項 3】**

上記第二の制御回路部は読出依頼設定手段を備え、

該読出依頼設定手段は上記定期報告手段に包含されたステータス情報に読出依頼フラグを付加することによって、上記第二の制御回路部に設けられた特定アドレスの選択データメモリの読出を依頼する手段であり、

上記第一の制御回路部は上記定期報告データに通信エラーがあったとき、又は上記読出依頼があったときに作用して、上記不定期送信手段によって定期報告内容や選択データメ

モリの読出要求を行うことができるよう構成されていることを特徴とする請求項1又は請求項2に記載の電子制御装置。

【請求項4】

上記定期送信手段又は定期報告手段の少なくとも一方は分割循環手段を備え、

該分割循環手段は定期送信したい多数の制御出力データ又は定期報告したい多数の監視入力データを分割して、必要とされる緊急度合いに応じた周期で順次分割送信又は分割報告する手段とし、1回の通信で送信又は報告されるデータ量が抑制されていることを特徴とする請求項1に記載の電子制御装置。

【請求項5】

上記第一の制御回路部は定期報告許可手段を備え、

該定期報告許可手段は上記第二の制御回路部に設けられた所定アドレスのメモリに対して上記定期送信手段によって送信され、第二の制御回路部が上記定期報告を送信することを許可するための指令データを格納する手段としたことを特徴とする請求項1に記載の電子制御装置。

【請求項6】

プログラムメモリ、演算処理用RAMメモリ、マイクロプロセッサ、第一の直並列変換器を含む第一の制御回路部と、少なくとも監視・制御信号の交信を行うための通信制御回路部、データメモリ、第二の直並列変換器を含む第二の制御回路部とを備え、

上記第一・第二の直並列変換器を介して上記第一・第二の制御回路部相互間で監視・制御信号のシリアル交信を行うように構成された電子制御装置において、

上記第一の制御回路部は定期送信手段と不定期送信手段とを備え、更に、上記第二の制御回路部は定期報告手段と未処理データテーブルとを備え、更に、上記第一・第二の制御回路部はそれぞれ第一・第二の通信エラー判定手段と第一・第二の加減算手段と第一・第二の異常発生確定手段とを備え、更に、上記第一の制御回路部は再送手段を備え、

上記定期送信手段は上記第一の制御回路部から第二の制御回路部に対して定期的に制御出力データや定数設定データを送信すると共に、第二の制御回路部が当該定期送信データを受信したかどうかの確認返信を行って、通信エラーがあれば第一の制御回路部から第二の制御回路部に対して再送処理が行われる書込設定手段であり、

上記定期報告手段は上記第二の制御回路部から第一の制御回路部に対して監視入力データとステータス情報を定期報告すると共に、第一の制御回路部が当該定期報告データを受信したかどうかの確認返信を行わない一方の入力読出手段であり、

上記不定期送信手段は上記定期報告手段による報告通信にエラーがあったときに摘要可能であって、上記第一の制御回路部が第二の制御回路部に対して指定アドレスの監視入力データを読出要求すると共に、上記定期送信手段によって書込設定された書込保存データを読出しチェックするための読出要求にも随時摘要される送信手段であって、

しかも、上記第二の制御回路部が当該不定期送信データを受信したことに対する確認返信として、指定されたアドレスの監視入力データ又は書込保存データの報告返信を行って、該報告返信に通信エラーがあれば第一の制御回路部から第二の制御回路部に対して再度読出要求が行われる読出要求手段であり、

上記第一・第二の通信エラー判定手段は該判定手段が設けられた側の制御回路部が他方の制御回路部から受信した定期・不特定の各種通信パケットに関する異常の有無、或いは受信すべき通信パケットが受信できない状態を判定する複数種類の受信異常判定手段とし、

上記第一・第二の加減算手段は上記複数種類の受信異常判定手段のいずれかが異常ありと判定したときには第二の変分値を加算又は減算すると共に、全ての受信異常判定手段が異常なしと判定したときには第一の変分値を減算又は加算して相互に相殺するように現在値メモリに対する加減算補正を行い、異常なし判定が継続したときには所定の正常側限界値において上記第一の変分値による加減算補正を停止する演算手段とし、

上記第一・第二の異常発生確定手段は上記第一・第二の変分値の累積によって上記加減算手段の現在値が所定の異常側限界値の域外となったときに異常検出信号を発生する比較

手段とし、

上記再送手段は上記第一の制御回路部から第二の制御回路部に対する送信データに異常があったとき又は該送信データに対する確認返信データに異常があったときに作用して、第一の制御回路部が旧送信コマンドに対応した通信パケットを再度送信すると共に、上記第一の加減算手段に対して第二の変分値を加算又は減算する手段とし、

上記第二の変分値は上記異常側限界値と正常側限界値との差である許容累積値よりも小さな値として設定されていると共に、上記異常検出信号の発生に反応して上記第一又は第二の制御回路部の作動停止又は初期化再起動が行われることを特徴とする電子制御装置。

【請求項 7】

上記第一・第二の制御回路部は第一・第二の初期化手段を備え、

上記第一の初期化手段は上記第一の異常発生確定手段が異常検出信号を発生したときに作用して、上記第一の加減算手段の現在値を運転開始時の所定の初期値に再設定すると共に、上記第二の制御回路部に設けられた通信制御回路部を初期化して再起動させる手段とし、

上記第二の初期化手段は上記第二の異常発生確定手段が異常検出信号を発生したときに作用して、上記第二の加減算手段の現在値を運転開始時の所定の初期値に再設定すると共に、上記第一の制御回路部に設けられたマイクロプロセッサを初期化して再起動させるか運転停止する手段とし、

上記第一・第二の初期化手段によって再設定される第一・第二の加減算手段の初期値は上記正常側限界値から異常側限界値側に接近した値となっていることを特徴とする請求項 6 に記載の電子制御装置。

【請求項 8】

上記第一・第二の通信エラー判定手段はビット情報監視手段と、返信遅延監視手段又は受信間隔監視手段の少なくとも一方の手段とを備え、

上記ビット情報監視手段は上記第一・第二の制御回路部間で交信されたシリアルデータに対するパリティチェック又はサムチェック等のビット情報の欠落・混入の有無を判定するビット異常判定手段とし、

上記返信遅延監視手段は上記第一の制御回路部が送信したデータに対する第二の制御回路部からの返信データが所定の返信応答時間を超過しても受信できないときに送信元である第一の制御回路部で異常判定を行う返信応答異常判定手段とし、

上記受信間隔監視手段は上記第一の制御回路部が発信する定期送信データ又は第二の制御回路部が発信する定期報告データに対する相手側制御回路部の受信間隔時間が所定値を超過しているときに異常判定を行う受信間隔異常判定手段とし、

上記ビット情報監視手段と返信遅延監視手段と受信間隔監視手段との判定がいずれも異常判定ではないときに、上記加減算手段は第一の変分値による加減算補正を行うものであることを特徴とする請求項 6 又は請求項 7 に記載の電子制御装置。

【請求項 9】

上記ビット情報監視手段の判定が通信異常であるときに上記加減算手段が加算又は減算する上記第二の変分値は上記第一の変分値よりも大きな値とすると共に、上記返信遅延監視手段又は受信間隔監視手段の判定が通信異常であるときに上記加減算手段が加算又は減算する変分値は上記第二の変分値とは異なる値である第三の変分値とし、しかも該第三の変分値は上記異常側限界値と正常側限界値との差である許容累積値よりも小さな値として構成されていることを特徴とする請求項 8 に記載の電子制御装置。

【請求項 10】

上記第一の制御回路部は返信待ちデータテーブルを備え、

該返信待ちデータテーブルは上記第一の制御回路部が第二の制御回路部に対して送信した送信コマンドを順次保存すると共に、第二の制御回路部からの確認返信データを受信したときに当該保存コマンドを消去するよう構成された送信側コマンドメモリとし、

上記返信遅延監視手段は上記送信側コマンドメモリに残された先頭データの保存時間が所定値を超過したときに異常判定を行う返信異常判定手段であると共に、返信異常判定さ

れたコマンドと受信失敗の確認返信があったコマンドは上記送信側コマンドメモリから順次削除され、再度送信されたときに改めて送信側コマンドメモリに格納されるものであることを特徴とする請求項 8 又は請求項 9 に記載の電子制御装置。

【請求項 11】

上記第一の制御回路部は第一の設定データメモリを備え、

該第一の設定データメモリは上記第一の加減算手段で扱われる第一の変分値・第二の変分値・正常側限界値・異常側限界値・初期値等の各種制御定数の一部又は全部、或いは上記第一の通信エラー判定手段において使用される返信応答時間や受信間隔時間の許容値等の各種制御定数の一部又は全部が格納されるデータメモリであって、上記各種制御定数の一部又は全部は上記マイクロプロセッサと協働する不揮発プログラムメモリから転送書込みされるものであることを特徴とする請求項 6 から 10 のいずれか 1 項に記載の電子制御装置。

【請求項 12】

上記第二の制御回路部は第二の設定データメモリを備え、

該第二の設定データメモリは上記第二の加減算手段で扱われる第一の変分値・第二の変分値・正常側限界値・異常側限界値・初期値等の各種制御定数の一部又は全部、或いは上記第二の通信エラー判定手段において使用される受信間隔時間の許容値等の各種制御定数の一部又は全部が格納されるデータメモリであって、上記各種制御定数の一部又は全部は上記マイクロプロセッサと協働する不揮発プログラムメモリから上記第一・第二の直並列変換器を介して送信書込みされるものであることを特徴とする請求項 6 から 11 のいずれか 1 項に記載の電子制御装置。

【請求項 13】

上記第二の制御回路部は定期報告手段と現在値報告手段とを備え、

上記定期報告手段は上記第二の制御回路部から第一の制御回路部に対して監視入力データとステータス情報を定期報告する入力読出手段であり、

上記現在値報告手段は上記第二の加減算手段の現在値を上記ステータス情報に付加して第一の制御回路部に定期報告する手段であることを特徴とする請求項 6 から 12 のいずれか 1 項に記載の電子制御装置。

【請求項 14】

上記第一の制御回路部は直接入出力信号用インタフェース回路を備えると共に、上記第一又は第二の制御回路部のいずれか一方はウォッチドッグタイマと異常発生記憶手段とを備え、

上記直接入出力信号用インタフェース回路は上記マイクロプロセッサとバス接続され、

該マイクロプロセッサは上記直接入力信号用インタフェース回路を介して入力された直接入力信号と、上記第二の制御回路部に設けられた第二の直並列変換器からシリアル通信によって受信した間接入力信号と、上記プログラムメモリの内容とに応動して出力信号を発生して、上記直接出力信号用インタフェース回路に接続された電気負荷群を駆動すると共に、上記第一・第二の直並列変換器を介して第二の制御回路部へ間接出力信号を送信するよう構成され、

上記ウォッチドッグタイマは上記マイクロプロセッサが発生するパルス列であるウォッチドッグクリア信号を監視して、該ウォッチドッグクリア信号のパルス幅が所定値を超過した時にリセットパルス信号を発生する暴走監視タイマ回路とし、

上記異常発生記憶手段は上記第一及び第二の異常検出信号が発生したときと、上記ウォッチドッグタイマによるリセットパルス信号が発生したときに、当該異常検出信号又はリセットパルス信号を記憶して、警報・表示・印字・履歴保存等による報知手段を作動させる異常記憶回路とし、

上記ウォッチドッグタイマがリセットパルス信号を発生したときと、上記第二の異常検出信号が発生したときには、上記メイン CPU が初期化・再起動されると共に、上記ウォッチドッグタイマがリセットパルス信号を発生したときと、上記第一の異常検出信号が発生したときには、上記第二の制御回路部の通信制御回路部が初期化・再起動されることを特徴

とする請求項6から13のいずれか1項に記載の電子制御装置。

【請求項15】

上記第二の制御回路部は補助CPUを備えると共に、上記第一の制御回路部は該補助CPUに対する暴走監視手段とを備え、

上記補助CPUは該補助CPUと協働する補助プログラムメモリと演算処理用補助RAMメモリと間接入出力信号用インタフェース回路と第二の直並列変換器と共に上記第二の制御回路部に内蔵されていて、上記間接入力信号用インタフェース回路を介して入力された信号に関連する間接入力信号を上記第二・第一の直並列変換器を介して第一の制御回路部に送信すると共に、上記第一の制御回路部から上記第一・第二の直並列変換器を介して受信した間接出力信号に関連した出力で上記間接出力信号用インタフェース回路に接続された電気負荷群を駆動するマイクロプロセッサとし、

上記暴走監視手段は上記補助CPUが発生するパルス列であるウォッチドッグクリア信号を上記メインCPUで監視して、該ウォッチドッグクリア信号のパルス幅が所定値を超過した時にリセットパルス信号を発生する手段とし、

上記暴走監視手段がリセットパルス信号を発生したときと、上記ウォッチドッグタイマがリセットパルス信号を発生したときと、上記第一の異常検出信号が発生したときには、上記補助CPUが初期化・再起動されると共に、上記異常記憶回路が異常発生を記憶するように構成されていることを特徴とする請求項14に記載の電子制御装置。

【請求項16】

上記異常発生記憶手段は計数記憶回路によって構成され、

該計数記憶回路は上記第一・第二の異常検出信号とウォッチドッグタイマ又は暴走監視手段によるリセットパルス信号に対する論理和出力を計数して、該計数値が所定値に到達したときに上記報知手段を作動させるものであることを特徴とする請求項14又は請求項15に記載の電子制御装置。

【請求項17】

上記第一・第二の制御回路部の少なくとも一方は駆動停止手段と解除手段とを備え、

上記駆動停止手段は上記異常発生記憶手段が異常発生を記憶しているときに作用して、上記電気負荷群の中の一部の特定電気負荷の駆動を禁止するゲート回路とし、

上記解除手段は電源スイッチの再投入等による人為的操作によって上記異常発生記憶手段による異常記憶信号を初期化する手段としたことを特徴とする請求項14又は請求項15に記載の電子制御装置。

【請求項18】

上記第一・第二の制御回路部の少なくとも一方は駆動停止手段と解除手段とを備え、

上記駆動停止手段は上記計数記憶回路の計数値が所定値以上であるときに作用して、上記電気負荷群中の一部の特定電気負荷の駆動を禁止するゲート回路とし、

上記解除手段は電源スイッチの再投入等による人為的操作によって上記計数記憶回路の現在値を初期化する手段としたことを特徴とする請求項16に記載の電子制御装置。

【書類名】明細書

【発明の名称】電子制御装置

【技術分野】

【0001】

この発明は、例えば自動車用エンジンの燃料供給制御等に用いられるマイクロプロセッサを内蔵した車載電子制御装置、特に相互にシリアル信号の通信を行うように電氣的に分割された複数の制御回路部を有している電子制御装置の改良に関するものである。

【背景技術】

【0002】

機能分担された複数のマイクロプロセッサ間でシリアル通信による情報交換を行うと共に、通信異常を検出して異常処理を行うようにした電子制御装置は様々な分野で幅広く実用されている。

たとえば、特開2002-108835「車載電子制御装置」（特許文献1）によれば、メインCPUとサブCPUによって構成され、運転開始時の制御定数の転送や、運転中における多様なデータを自由に相互通信することができるシリアル通信手段を備えた車載電子制御装置が提示され、シリアル通信データに対するサムチェックエラーと再送処理、タイムアウトチェックエラーとマイクロプロセッサのリセット処理、或いは制御出力の禁止処理などの手段が提示されている。

また、特開2002-333901「車載電子制御装置」（特許文献2）によれば、マイクロプロセッサと通信制御回路を有する集積回路部によって構成され、運転開始時の制御定数の転送や、運転中における多様なデータを相互に通信することができるシリアル通信手段を備えた車載電子制御装置が提示され、通信パケット構成の一例が詳述されている。

【0003】

一方、特開平9-162814「通信監視装置」（特許文献3）によれば、データ通信を制御し、通信エラーを検知するとエラー通知信号を出力する通信制御部と、前記エラー通知信号の入力に応じてカウントアップするエラーカウンタと、このエラーカウンタのカウント値が正の所定値（閾値）に達したことに応じて通信異常を報知する報知部とを備えた通信監視装置において、前記通信制御部にてデータ通信の制御が正常に行われると前記エラーカウンタのカウント値をカウントダウンするカウンタ減算手段を設け、異常状態が自然回復する散発的・慢性的エラーに対しては妄りに警報発生するのを防止し、致命的・継続的な障害に対しては速やかに報知するようにした通信監視装置が提示されている。

【0004】

また、特開2000-267948「電子機器及び電子機器の制御方法並びに電子機器の制御用ソフトウェアを記録した記録媒体」（特許文献4）によれば、第1のコンピュータを有する第1のユニットと、第2のコンピュータを有し前記第1のユニットに対して着脱自在に構成された第2のユニットとを備えた電子機器において、前記第1のコンピュータは前記第2のコンピュータの動作を確認するための動作確認信号を、予め決められた時間間隔で前記第2のコンピュータに送信するための手段を備え、前記第2のコンピュータは、正常に動作しているときに、前記動作確認信号に対して正常に動作していることを表す動作中信号を返信するための手段を備え、前記第1のコンピュータは、さらに、前記動作確認信号の送信に対して、前記動作中信号が予め決められた待ち時間内に返信されなかった場合に、前記第2のコンピュータをリセットするための手段を備え、第2のユニットが装着されたときに第2のコンピュータを確実にリセットする方法が提示されている。

【0005】

その他、この発明に関連して、特開2002-235598「車両用制御装置」（特許文献5）によれば、車載電子機器に内蔵されたメインCPUやサブCPU等のマイクロプロセッサが暴走したときに、退避運転状態にしたうえでマイクロプロセッサを再起動する異常発生記憶手段が提示されているが、この引例のものは通信制御に関連するものではない。

## 【0006】

【特許文献1】特開2002-108835号公報

【特許文献2】特開2002-333901号公報

【特許文献3】特開平9-162814号公報

【特許文献4】特開2000-267948号公報

【特許文献5】特開2002-235598号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0007】

上記特許文献1のものは、メインCPUからサブCPUに対する下り通信として、A・制御定数送信、B・定期データの送信、C・不定期データの送信、D・読出要求コマンドの送信、E・被要求データの送信の5種類のパケットが摘要されている。

同様に上り通信として、A・制御定数送信を除くB～Eの全ての通信パケットが対等に摘要されるようになっている。

しかも、上り・下りの各通信に対して受信確認返信や再送要求を行うことができるようになっているので、自由度は極めて高いものの何等かの通信異常が発生したときに通信渋滞が発生して、必要とされる肝心のデータの送受信が行えなくなる欠点がある。

上記特許文献2のものは、通信パケットの種類が大幅に削減されていて、親局から子局への下り通信としては、A・制御定数送信、B・全入力読出要求、C・全出力送信、D・アドレス指定の特定入力読出要求、E・アドレス指定の特定出力送信の5種類の通信パケットが摘要されるのに対し、子局側から親局側への自発的な上り通信用パケットが準備されていない。

従って、親局側からの要求がなければ子局側からの報告が行えないので、定期的な報告データがある場合には定期的な要求が必要となって無用な下り通信が発生する欠点がある。

## 【0008】

上記特許文献3のものは、異常判定のための閾値を大きくしておく、継続的に正常通信が行われていた後の異常発生を検出に回答遅れが発生する問題点があると共に、異常判定のための閾値を小さくしておく、僅かな散発的異常発生に対しても過敏な異常検出が行われる問題点がある。

しかも、各種の多様な通信エラーへの対応とタイムアウト異常や再送処理の扱いが総合的に論及されていない。

上記特許文献4のものは、僅か1回のタイムアウトでコンピュータがリセットされる問題点があると共に、サムチェックエラーや再送処理の扱いが総合的に論及されていない。

上記特許文献5のものは、通信のタイムアウトをマイクロプロセッサの暴走監視で検出することはできるが、サムチェックエラー等のビットの欠落・混入に関連する通信異常を監視するようにはなっていない。

## 【0009】

この発明の第一の目的は、相互にシリアル信号の交信を行うように電氣的に分割された第一・第二の制御回路部を有している電子制御装置において、親局となる第一の制御回路部から子局となる第二の制御回路部に対する定期送信と子局から親局への定期報告を随時行うことができ、しかも通信渋滞を回避しながら、各種通信パケットに対する通信異常の有無の確認と再送処理が容易に行える電子制御装置を提供することである。

この発明の第二の目的は、通信異常状態が自然回復する散発的・慢性的エラーに対しては過敏な異常判定を回避すると共に、各種通信パケットに対するサムチェックエラーやタイムアウトエラー等の各種通信エラーに対して総合的に再送処理回数と異常確定タイミングを決定することができる電子制御装置を提供することである。

## 【課題を解決するための手段】

## 【0010】

この発明の第一の観点に係る電子制御装置によれば、プログラムメモリ、演算処理用RAMメモリ、マイクロプロセッサ、第一の直並列変換器を含む第一の制御回路部と、少な

くとも監視・制御信号の交信を行うための通信制御回路部、データメモリ、第二の直並列変換器を含む第二の制御回路部とを備え、上記第一・第二の直並列変換器を介して上記第一・第二の制御回路部相互間で監視・制御信号のシリアル交信を行うように構成された電子制御装置において、上記第一の制御回路部は定期送信手段と不定期送信手段とを備え、と共に、上記第二の制御回路部は定期報告手段と未処理データテーブルとを備え、上記定期送信手段は上記第一の制御回路部から第二の制御回路部に対して定期的に制御出力データや定数設定データを送信すると共に、第二の制御回路部が当該定期送信データを受信したかどうかの確認返信を行って、通信エラーがあれば第一の制御回路部から第二の制御回路部に対して再送処理が行われる書込設定手段であり、上記定期報告手段は上記第二の制御回路部から第一の制御回路部に対して監視入力データとステータス情報を定期報告すると共に、第一の制御回路部が当該定期報告データを受信したかどうかの確認返信を行わない一方の入力読出手段であり、上記不定期送信手段は上記定期報告手段による報告通信にエラーがあったときに摘要可能であって、上記第一の制御回路部が第二の制御回路部に対して指定アドレスの監視入力データを読出要求すると共に、上記定期送信手段によって書込設定された書込保存データを読出しチェックするための読出要求にも随時摘要される送信手段であって、しかも、上記第二の制御回路部が当該不定期送信データを受信したことに対する確認返信として、指定されたアドレスの監視入力データ又は書込保存データの報告返信を行って、該報告返信に通信エラーがあれば第一の制御回路部から第二の制御回路部に対して再度読出要求が行われる読出要求手段であり、上記未処理データテーブルは上記第二の制御回路部が第一の制御回路部から送信データを受信したときに、確認返信を行うためのコマンドデータを順次保存すると共に、第一の制御回路部への確認返信データを送信したときに当該保存データを順次消去するよう構成された受信側コマンドメモリとし、上記未処理データテーブルによって上記第二の制御回路部から第一の制御回路部に対するより通信の渋滞を回避しながら定期報告データの送信が行えるよう構成されている。

#### 【0011】

この発明の第二の観点に係る電子制御装置によれば、プログラムメモリ、演算処理用RAMメモリ、マイクロプロセッサ、第一の直並列変換器を含む第一の制御回路部と、少なくとも監視・制御信号の交信を行うための通信制御回路部、データメモリ、第二の直並列変換器を含む第二の制御回路部とを備え、

上記第一・第二の直並列変換器を介して上記第一・第二の制御回路部相互間で監視・制御信号のシリアル交信を行うように構成された電子制御装置において、

上記第一の制御回路部は定期送信手段と不定期送信手段とを備え、と共に、上記第二の制御回路部は定期報告手段と未処理データテーブルとを備え、更に、上記第一・第二の制御回路部はそれぞれ第一・第二の通信エラー判定手段と第一・第二の加減算手段と第一・第二の異常発生確定手段とを備え、と共に、上記第一の制御回路部は再送手段を備え、上記定期送信手段は上記第一の制御回路部から第二の制御回路部に対して定期的に制御出力データや定数設定データを送信すると共に、第二の制御回路部が当該定期送信データを受信したかどうかの確認返信を行って、通信エラーがあれば第一の制御回路部から第二の制御回路部に対して再送処理が行われる書込設定手段であり、

上記定期報告手段は上記第二の制御回路部から第一の制御回路部に対して監視入力データとステータス情報を定期報告すると共に、第一の制御回路部が当該定期報告データを受信したかどうかの確認返信を行わない一方の入力読出手段であり、

上記不定期送信手段は上記定期報告手段による報告通信にエラーがあったときに摘要可能であって、上記第一の制御回路部が第二の制御回路部に対して指定アドレスの監視入力データを読出要求すると共に、上記定期送信手段によって書込設定された書込保存データを読出しチェックするための読出要求にも随時摘要される送信手段であって、

しかも、上記第二の制御回路部が当該不定期送信データを受信したことに対する確認返信として、指定されたアドレスの監視入力データ又は書込保存データの報告返信を行って、

該報告返信に通信エラーがあれば第一の制御回路部から第二の制御回路部に対して再度読出要求が行われる読出要求手段であり、

上記第一・第二の通信エラー判定手段は該判定手段が設けられた側の制御回路部が他方の制御回路部から受信した定期・不定期の各種通信パケットに関する異常の有無、或いは受信すべき通信パケットが受信できない状態を判定する複数種類の受信異常判定手段とし、

上記第一・第二の加減算手段は上記複数種類の受信異常判定手段のいずれかが異常ありと判定したときには第二の変分値を加算又は減算すると共に、全ての受信異常判定手段が異常なしと判定したときには第一の変分値を減算又は加算して相互に相殺するように現在値メモリに対する加減算補正を行い、異常なし判定が継続したときには所定の正常側限界値において上記第一の変分値による加減算補正を停止する演算手段とし、

上記第一・第二の異常発生確定手段は上記第一・第二の変分値の累積によって上記加減算手段の現在値が所定の異常側限界値の域外となったときに異常検出信号を発生する比較手段とし、

上記再送手段は上記第一の制御回路部から第二の制御回路部に対する送信データに異常があったとき又は該送信データに対する確認返信データに異常があったときに作用して、第一の制御回路部が旧送信コマンドに対応した通信パケットを再度送信すると共に、上記第一の加減算手段に対して第二の変分値を加算又は減算する手段とし、

上記第二の変分値は上記異常側限界値と正常側限界値との差である許容累積値よりも小さな値として設定されていると共に、上記異常検出信号の発生に応動して上記第一又は第二の制御回路部の作動停止又は初期化再起動が行われるものである。

#### 【発明の効果】

##### 【0012】

この発明の電子制御装置によれば、定期報告手段による定期報告に対する確認返信は行わないが、定期報告データに対する通信エラー検出時には、不定期送信手段によって定期報告内容の再確認を行うことができると共に、定期送信手段によって既に書込設定された書込保存データも、不定期送信手段によって随時読出要求を行って内容確認を行うことができるので、定期報告に対する毎回の報告指示や確認返信を省略することができ、下り通信量を削減して通信制御の負担が軽減できる効果がある。

また、未処理データテーブルによって第二の制御回路部から第一の制御回路部に対する上り通信の渋滞を回避しながら適時に定期送信や定期報告が行える効果がある。

また、未処理データテーブルによって第二の制御回路部から第一の制御回路部に対する上り通信の渋滞を回避しながら適時に定期送信や定期報告が行える効果がある。

またこの発明の電子制御装置によれば、

#### 【発明を実施するための最良の形態】

##### 【0013】

本発明の一実施の形態を図面に基づいて説明する。

なお、各図間において、同一符号は、同一あるいは相当のものを表す。

#### 実施の形態 1.

##### (1) 構成の詳細な説明

図1は、車載電子制御装置に適用した実施の形態1による全体構成を示すブロック図である。

図において、100aは第一の制御回路部200aと第二の制御回路部200bによって構成された電子制御装置である。

まず、上記電子制御装置100aの外部に接続されるものとして、101は外部ツールであり、該外部ツール101は製品出荷時又は保守点検時に上記電子制御装置100aに対して図示しない脱着コネクタを介して接続され、後述の不揮発プログラムメモリ115aに制御プログラムや制御定数を転送書込みするためのものである。

102aはON/OFF動作する第一の入力センサ群（例えば、エンジン回転センサ、クランク角センサ、車速センサなど）であり、該第一の入力センサ群は比較的高速・高頻度の動作を

行い、後述のメインCPU110aに対して直接取込みする必要のあるセンサ群となっている。

102bはON/OFF動作する第二の入力センサ群（例えば、変速機用シフトレバーの選択位置センサ、エアコンスイッチ、アクセルペダルのアイドル位置検出用スイッチ、パワーステアリング動作スイッチ、ブレーキスイッチなど）であり、該第二の入力センサ群102bは比較的低頻度の動作を行い、信号取込みの遅れがあまり問題とならないようなセンサ群となっている。

#### 【0014】

103aは第一のアナログセンサ群（例えば、スロットルの吸気量を測定するエアーフローセンサ、アクセルペダルの踏込度を測定するアクセルポジションセンサ、スロットル弁開度を測定するスロットルポジションセンサなど）であり、該第一のアナログセンサ群103aは比較的变化度合いが激しく、後述のメインCPU110aに対して直接取込みする必要のあるセンサ群となっている。103bは第二のアナログセンサ群（例えば冷却水温センサ・吸気温センサ・大気圧センサなど）であり、該第二のアナログセンサ群は比較的緩慢な出力変化を行い、信号取込みの遅れがあまり問題とならないようなセンサ群となっている。104aは第一の電気負荷群（例えば燃料噴射用電磁弁、点火コイル、吸気スロットルの開閉制御用モータなど）であり、該第一の電気負荷群は比較的高頻度の動作を行い、遅滞なく駆動出力を発生する必要のあるON/OFF動作の電気負荷群となっている。104bは第二の電気負荷群（例えばエアコン駆動用電磁クラッチや変速機の変速段切換え用電磁弁）であり、該第二の電気負荷群は比較的低頻度の動作を行い、駆動出力の応答遅れがあまり問題とならないON/OFF動作の電気負荷群となっている。

#### 【0015】

105aは上記電子制御装置100aや第一・第二の電気負荷群104a・104bに給電する外部電源、105bは電源スイッチ、106aは出力接点106b・106c・106dを有する電源リレー、107aは出力接点107b・107cを有する負荷電源リレーであり、上記電源リレー106aは上記外部電源105aから上記電源スイッチ105bを介して付勢され、出力接点106b・106cによって上記第一・第二の電気負荷群104a・104bに対する電源回路を閉成すると共に、出力接点106dによって上記外部電源105aから電子制御装置100aに対する給電回路を閉成するようになっている。

上記外部電源105aと電子制御装置100aは、上記電源スイッチ105bが開路している時にもスリープ給電されるよう直接接続回路も備えている。

なお、マイクロプロセッサの動作が停止し、電子制御装置が作動していないような状態であっても、後述のRAMメモリ116aの一部（又は全部）の記憶状態を維持するために微少電力の給電を継続しており、このような給電状態のことをスリープ給電と称する。

また、上記第一・第二の電気負荷群104a・104bの一部は上記負荷電源リレー107aの出力接点107b・107cを介して電源回路が閉成されるようになっている。

108は警報・表示器（報知手段）であり、上記電子制御装置100aから駆動され、監視者が視認しやすい位置に取付けられている。

#### 【0016】

次に、第一の制御回路部200aの内部の構成について説明する。

110aは例えば32ビットのマイクロプロセッサであるメインCPU、111は上記外部ツール101とシリアル接続されるツール用のシリアルインタフェース、112aは上記第一の入力センサ群102aと並列接続された直接入力信号用インタフェース回路、113aは上記第一のアナログセンサ群103aと接続された多チャンネルAD変換器、114aは上記第一の電気負荷群104aに対して並列接続された直接出力信号用インタフェース回路、115aはフラッシュメモリ等の不揮発プログラムメモリ、116aは演算処理用のRAMメモリ、117は第一の制御回路部200aに設けられた第一の直並列変換器、118はデータバスである。上記シリアルインタフェース111、第一の直並列変換器117、第一の多チャンネルAD変換器113a、直接入力信号用インタフェース回路112a、直接出力信号用インタフェース回路114a、プログラムメモリ115a、RAMメモリ116aおよびメインCPU110aは、上記データバス118によって互いに接続され、図示しないアドレスバス又はチップセレクト回路によって指定されたものが上記

メインCPU110aと交信するようになっている。

なお、上記プログラムメモリ115aには入出力制御手段となるプログラムや通信制御手段となるプログラムのほか、後述する第一・第二の設定データメモリ237a・237b（図2参照）に転送書込みされる設定データが書き込まれている。

また、上記RAMメモリ116aには後述の第一の加減算手段230a（図2参照）の現在値データや、上記プログラムメモリ115aから転送された第一の設定データ、或いは後述の返信待ちコマンドデータが書き込まれるようになっている。

#### 【0017】

次に、第二の制御回路部200bの内部構成について説明する。

120aは後述する通信制御回路部を主体とした併用制御回路部（通信制御回路部とも称す）、122bは上記第二の入力センサ群102bと並列接続された間接入力信号用インタフェース回路、123bは上記第二のアナログセンサ群103bと接続された第二の多チャンネルAD変換器、124bは上記第二の電気負荷群104bに対して並列接続された間接出力信号用インタフェース回路、126aは図示しないチップセレクト信号によって後述のデータバス128に接続されるデータメモリ、127は第一の制御回路部200aに設けられた上記第一の直並列変換器117に対してシリアル接続された第二の直並列変換器、128はデータバスである。上記第二の直並列変換器127や間接入出力信号用インタフェース回路122b、間接出力信号用インタフェース回路124b、第二の多チャンネルAD変換器123b、データメモリ126aと併用制御回路部120aは上記データバス128によって互いに接続されている。

ここで、間接入力信号あるいは間接出力信号とは、第一の直並列変換器117・第二の直並列変換器127を介してシリアル通信によってメインCPUであるマイクロプロセッサ110a、あるいは実施の形態2において後述するマイクロプロセッサ110bと交信する入出力信号のことであり、直接入力信号あるいは直接出力信号とは、第一の直並列変換器117・第二の直並列変換器127を介さないでメインCPUであるマイクロプロセッサ110a、あるいはマイクロプロセッサ110bに直接接続されている入出力信号のことである。

なお、本実施の形態による車載電子制御装置の構成は、シリアル通信部（第一及び第二の直並列変換器）を介して第一の制御回路部200aと第二の制御回路部200bに2分割されており、第一の制御回路部200aは第二の制御回路部200bを併用しており、併用されている第二の制御回路部200bの中心をなすものとして併用制御回路部120aがある。

併用制御回路部120aの主体は通信制御回路であるので、以降は、120aは通信制御回路部と称することとする。

また、上記データメモリ126aには後述する第二の加減算手段230b（図2参照）の現在値データや、上記プログラムメモリ115aから転送された第二の設定データ、或いは後述の未処理コマンドデータのほか、定期報告許可指令データ、選択データ、ステータス情報などが書き込まれるようになっている。

130はウォッチドッグタイマであり、該ウォッチドッグタイマ130は第一の制御回路部200aの上記メインCPU110aが発生するパルス列であるウォッチドッグクリア信号WD1を監視して、該ウォッチドッグクリア信号WD1のパルス幅が所定値を超過した時にリセットパルス信号RST1を発生して上記メインCPU110aを再起動させるようになっている。なお、上記メインCPU110aは、後述する第一の異常検出信号ER1を発生するようになっている。

#### 【0018】

また、上記併用制御回路部120aは後述する第二の異常検出信号ER2や上記電源リレー106aに対する駆動出力DR1、上記負荷電源リレー107aに対する駆動出力DR2を発生するようになっている。

131aはセット入力Sとリセット入力Rを備えたフリップフロップ回路によって構成された異常記憶回路（異常発生記憶手段）であり、該異常記憶回路（異常発生記憶手段）131aは上記リセットパルス信号RST1や第一・第二の異常検出信号ER1・ER2の動作を記憶して、上記警報・表示器（報知手段）108を駆動するようになっている。

132aはゲート回路（駆動停止手段）、134は電源ユニット、135は電源検出回路、136は駆動素子、137は反転駆動素子であり、上記電源ユニット134は上記外部電源105aから直接給

電されたり、上記電源リレー106aの出力接点106dを介して給電され、上記電子制御装置100a内で使用される安定化制御電源出力を発生するようになっている。

また、上記電源検出回路135は上記電源スイッチ105bが閉路したことを検出して、上記異常記憶回路（異常発生記憶手段）131aをリセットして初期化するようになっている。

#### 【0019】

上記駆動素子136は上記駆動出力DR1によって上記電源リレー106aを駆動し、上記電源スイッチ105bが開路しても、駆動出力DR1が出力停止するまでは電源リレー106aの動作を継続保持するようになっている。

上記反転駆動素子137は上記駆動出力DR2から上記駆動停止手段132aを介して上記負荷電源リレー107aを駆動するようになっている、該負荷電源リレーは駆動出力DR2が発生していると共に、異常記憶回路131aが異常記憶していない時に作動するようになっている。なお、上記電源リレー106aが消勢されると上記負荷電源リレー107aも消勢されるのに対し、電源リレー106aが付勢されていても負荷電源リレー107aのみを消勢して、一部の電気負荷に対する給電を停止することができるよう構成されている。138aは上記リセットパルス信号RST1と第二の異常検出信号ER2を入力とする論理和素子であり、該論理和素子の出力は上記メインCPU110aのリセット入力端子RST1と上記異常記憶回路131aのセット入力端子に接続されている。

139aは上記リセットパルス信号RST1と第一の異常検出信号ER1を入力とする論理和素子であり、該論理和素子の出力は上記併用制御回路部120aのリセット入力端子RST2と上記異常記憶回路131aのセット入力端子に接続されている。

#### 【0020】

次に、本実施の形態による車載電子制御装置における通信制御の動作について説明する。

図2は、図1に示した実施の形態1による車載電子制御装置の通信制御動作を説明するためのブロック図である。

図2において、第一の直並列変換器117を有する第一の制御回路部200a（以下親局ともいう）と第二の直並列変換器127を有する第二の制御回路部200b（以下子局ともいう）との間で交信される信号は以下のとおり大別されている。

201は親局で準備され親局から子局に送信される定期送信パケット、202は該定期送信パケット201を受信した子局（第二の制御回路部200b）側で実行され、第二の通信エラー判定手段の一部となる判定ブロック、203は該判定ブロックを介して正常受信された定期送信データを格納する出力情報格納ブロック、204は親局から子局への送信に対応した返信用コマンドデータとして正常受信ACK又は受信失敗NACKを順次格納する未処理データテーブル、205は子局から親局に返信される確認返信パケットである。上記確認返信パケット205は上記未処理データテーブル204に残された最も早い時期に格納された先頭返信用コマンドデータに対応したものであって、確認返信パケット205の送信に伴って上記未処理データテーブル204内の先頭返信用コマンドデータは削除されるようになっている。

なお、上記定期送信パケット201によって送信されるデータには、図1の第二の電気負荷群104bに出力される間接出力情報や後述の第二の設定データメモリ237bに送信される各種設定定数などがある。

#### 【0021】

206は親局側で上記定期送信パケット201を送信したときに、送信コマンドデータを順次格納しておく返信待ちデータテーブル、207は子局からの返信データを受信した親局（第一の制御回路部200a）側で実行され、第一の通信エラー判定手段の一部となる判定ブロックであり、該判定ブロックが正常受信の判定であったときには上記返信待ちデータテーブル206に格納されている先頭コマンドデータが削除されるようになっている。

また、上記判定ブロック207が子局側の受信失敗データNACKを正常受信したときや、判定ブロック207が返信データに対する受信異常の判定を行ったときには、上記定期送信パケット201によって再送処理が行われ、該再送処理によって上記返信待ちデータテーブル206内の旧保存データは削除されて、再送された送信コマンドデータが新たに格納されるよう

構成されている。

#### 【0022】

211は親局が子局に対して読出要求を行うときに親局から子局に送信される不定期送信パケット、212は該不定期送信パケット211を受信した子局側で実行され、第二の通信エラー判定手段の一部となる判定ブロックであり、上記未処理データテーブル204には上記判定ブロック212の判定結果として受信失敗NACK又は報告返信しなければならない返信情報のアドレスが返信用コマンドと共に格納されるようになっている。213は子局側で入力情報を読出す入力情報読出ブロック、215は子局から親局に返信される報告返信パケットである。該報告返信パケット215は上記未処理データテーブル204に残された最も早い時期に格納された先頭返信用コマンドデータに対応したものであって、報告返信パケット215の送信に伴って上記未処理データテーブル204内の先頭返信用コマンドデータは削除されるようになっている。

なお、上記未処理データテーブル204には上記定期送信パケット201に対応した返信用コマンドデータと、上記不定期送信パケット211に対応した返信用コマンドデータとが合成されて発生順に格納され、先入れ・先出しの原則で古いものから順次返信が実行されるようになっている。

#### 【0023】

同様に、上記返信待ちデータテーブル206には上記定期送信パケット201や不定期送信パケット211を送信したときに、送信コマンドデータが順次格納されるようになっている。217は子局からの返信データを受信した親局側で実行され、第一の通信エラー判定手段の一部となる判定ブロックであり、該判定ブロックが正常受信の判定であったときには上記返信待ちデータテーブル206に格納されている先頭コマンドデータが削除されると共に、後述の入力情報格納ブロック224によって上記報告返信パケット215で指定されたアドレスに対する入力情報が格納保存されるようになっている。また、上記判定ブロック217が子局側の受信失敗データNACKを正常受信したときや、判定ブロック217が返信データに対する受信異常の判定を行ったときには、上記不定期送信パケット211によって再送処理が行われ、該再送処理によって上記返信待ちデータテーブル206内の旧保存データは削除されて、再送された送信コマンドデータが新たに格納されるよう構成されている。

#### 【0024】

221は子局側の入力情報を定期的に親局に送信するための定期報告パケット、223は子局からの定期報告データ（即ち、定期報告パケット221により子局から定期的に送信されるデータ）を受信した親局側で実行され、第一の通信エラー判定手段の一部となる判定ブロック、224は上記判定ブロック223が正常受信の判定であったときに上記定期報告データを格納する入力情報格納ブロックである。

なお、上記判定ブロック223が定期報告データに対する受信異常の判定を行ったときには、上記不定期送信パケット211によって読出要求を行うことができるよう構成されている。また、上記定期報告パケット221や報告返信パケット215によって送信されるデータとしては図1における第二の入力センサ群102bや第二のアナログセンサ群103bによる間接入力信号となっているが、報告返信パケット215では定期送信パケット201によって既に書込設定された出力・設定情報も返信の対象となっている。

#### 【0025】

上記判定ブロック207・217・223における第一の通信エラー判定手段では、子局から親局に返信又は報告されたシリアルデータに対するパリティチェック又はサムチェック等のビット情報の欠落・混入の有無を判定するビット異常判定手段が含まれている。また、上記判定ブロック207・217における第一の通信エラー判定手段では、上記返信待ちデータテーブル206に残された最も古い送信コマンドデータの保存時間が所定の返信応答時間を超過したときに異常判定を行う返信応答異常判定手段が含まれている。

更に、上記判定ブロック223における第一の通信エラー判定手段では、子局が発信する定期報告データに対する親局の受信間隔時間が所定値を超過しているときに異常判定を行う受信間隔異常判定手段が含まれている。

同様に、上記判定ブロック202・212における第二の通信エラー判定手段では、親局から子局に送信されたシリアルデータに対するパリティチェック又はサムチェック等のビット情報の欠落・混入の有無を判定するビット異常判定手段が含まれている。また、上記判定ブロック202における第二の通信エラー判定手段では、親局が送信する定期送信データに対する子局の受信間隔時間が所定値を超過しているときに異常判定を行う受信間隔異常判定手段が含まれている。

#### 【0026】

230aは例えば可逆カウンタによって構成され、初期値が9に設定されていて現在値が0未満にならないように制限された第一の加減算手段、231aは上記判定ブロック207・217・223でビット異常判定がなされたときに作用して上記第一の加減算手段230aに対して変分値3を加算する第二の変分値の格納メモリである。また、232aは上記判定ブロック207・217で返信応答異常判定がなされたときに作用して上記第一の加減算手段230aに対して変分値6を加算する第三の変分値の格納メモリ、233aは上記判定ブロック223で受信間隔異常判定がなされたときに作用して上記第一の加減算手段230aに対して変分値6を加算する第三の変分値の格納メモリである。また、234aは上記判定ブロック207・217・223が全て正常判定であったときに作用して上記第一の加減算手段230aに対して変分値1を減算する第一の変分値の格納メモリ、235aは上記第一の加減算手段230aの現在値メモリに初期設定される初期値の格納メモリ、236aは例えば11の値が使用される判定閾値の格納メモリ、237aは上記格納メモリ231a~236aを包含する第一の設定データメモリである。238aは第一の異常発生確定手段であり、該第一の異常発生確定手段は上記第一の加減算手段230aの現在値が上記格納メモリ236aに格納されている判定閾値「11」の値を超過したときに第一の異常検出信号ER1を発生するようになっている。

#### 【0027】

230bは例えば可逆カウンタによって構成され、初期値が9に設定されていて現在値が0未満にならないように制限された第二の加減算手段、231bは上記判定ブロック202・212でビット異常判定がなされたときに作用して上記第二の加減算手段230bに対して変分値3を加算する第二の変分値の格納メモリである。233bは上記判定ブロック202で受信間隔異常判定がなされたときに作用して上記第二の加減算手段230bに対して変分値6を加算する第三の変分値の格納メモリ、234bは上記判定ブロック202・212が共に正常判定であったときに作用して上記第二の加減算手段230bに対して変分値1を減算する第一の変分値の格納メモリである。また、235bは上記第二の加減算手段230bの現在値メモリに初期設定される初期値の格納メモリ、236bは例えば11の値が使用される判定閾値の格納メモリ、237bは上記格納メモリ231b~236bを包含する第二の設定データメモリである。

238bは第二の異常発生確定手段であり、該第二の異常発生確定手段は上記第二の加減算手段230bの現在値が上記格納メモリ236bに格納された判定閾値「11」の値を超過したときに第二の異常検出信号ER2を発生するようになっている。

239は上記第一・第二の異常検出信号ER1・ER2の動作を記憶する異常発生記憶手段であり、該異常発生記憶手段による異常記憶信号によって前記警報・表示器（報知手段）108が動作するようになっている。

#### 【0028】

図3は上記第一・第二の加減算手段230a・230bの動作特性線図である。

図3において、図3(a)は通信エラー判定手段が正常通信の判定を行ったときに発生する正常受信信号、図3(b)は通信エラー判定手段がビット異常判定を行ったときに発生する異常受信信号、図3(c)は通信エラー判定手段が返信応答異常判定又は受信間隔異常判定を行ったときに発生する異常受信信号、図3(d)は第一・第二の異常発生確定手段238a・238bが発生する第一・第二の異常検出信号ER1・ER2、(e)は異常発生記憶手段239が発生する異常記憶信号、図3(f)は第一・第二の加減算手段230a・230bの現在値の変化を示す特性線図であり、図3(f)において300は現在値の正常側限界値（下限＝0）、301は現在値の異常側限界値（上限＝11）、302は上記異常側限界値301と正常側限界値300との偏差に相当する許容累積値（11-0＝11）を示している。

**【0029】**

第一・第二の加減算手段230a・230bの現在値の初期値は「9」であるが、図3(a)で示す正常受信信号の発生に伴って第一の変分値 $\Delta 1 = 「1」$ の減算が行われて現在値は減少し、正常側限界値「0」に達するとそれを超えて減算されることがないように減算制限されている。

図3(b)で示すビット異常に伴う異常受信信号が発生すると第二の変分値 $\Delta 2 = 「3」$ の加算が行われ、図3(c)で示す返信応答異常又は受信間隔異常に伴う異常受信信号が発生すると第三の変分値 $\Delta 3 = 「6」$ の加算が行われる。

その結果、上記第一の変分値と第二・第三の変分値による相殺加算値が異常側限界値11を超過すると図3(d)の異常検出信号ER1・ER2が発生するようになっている。なお、異常検出信号ER1又はER2が発生すると、第一・第二の加減算手段230a・230bの現在値は初期値「9」に再セットされるようになっている。

**【0030】**

図4～図6は、図1に示した実施の形態1による車載電子制御装置におけるシリアル通信の packets 構成を示したものであり、図4は定期送信パケット401aの packets 構成、図5は不定期送信パケット401bの packets 構成、図6は定期報告パケット403c・403dの packets 構成である。

図4～図6において、第一の直並列変換器117と第二の直並列変換器127で交信されるシリアルデータは、1フレーム当たり8ビットの正味データに加えて、送信側における直並列変換器で付加されたスタートビット・ストップビット・パリティビットの合計11ビットのデータで構成されていて、受信側ではパリティチェックを行って異常があれば受信データを破棄するが、異常が無ければ8ビットの正味データのみを抽出するようになっている。

また、以下で示す8ビットのデータは16進数で表現されており、これを符号Hで示している。図4は第一の制御回路部200a(親局)から第二の制御回路部200b(子局)に対して、間接出力信号を送信したり、第二の設定データメモリ237bに設定定数を送信する場合の定期送信パケットと確認返信パケットの構成を示したものである。図4において、401aは親局→子局への定期送信手段となる定期送信パケット(図2における定期送信パケット201に対応)であり、該定期送信パケットは開始データ55H・コマンド10H・書込データ・格納先アドレス・終了データAAH・チェックサムデータであるフレーム1からフレーム6によって構成されている。

402aは子局が上記定期送信パケット401aによる一連のデータを受信したときに作用して、パリティチェックやサムチェックによるビットの欠落・混入の有無を検出するビット異常判定を行ったり、上記定期送信パケット401aの正常受信間隔が所定時間を超過していないかどうかの受信間隔異常の判定を行う第二の通信エラー判定ブロック(図2における判定ブロック202に対応)である。

**【0031】**

403aは上記第二の通信エラー判定ブロック402aの判定が正常受信であった時に親局に返信される正常受信(ACK)の確認返信パケット(図2における確認返信パケット205に対応)であり、該確認返信パケットは開始データ55H・認知データ61H・格納先アドレス・終了データAAH・チェックサムデータによる5個のフレームによって構成されている。

404aは上記第二の通信エラー判定ブロック402aの判定が異常受信であった時に親局に返信される受信失敗(NACK)の確認返信パケット(図2における確認返信パケット205に対応)であり、該確認返信パケットは開始データ55H・非認知データ62H・格納先アドレス・終了データAAH・チェックサムデータによる5個のフレームによって構成されている。

415aは上記確認返信パケット403aを返信した後に、定期送信された間接出力信号又は設定定数を格納する書込設定ブロック(図2のブロック203に対応)、405aは前記第二の加減算手段230bが第一の変分値「1」を減算する正常受信処理ブロックである。

406aは確認返信パケット404aを返信した後に、上記第二の通信エラー判定ブロック402aの判定結果に応動して第二の加減算手段230bが第二又は第三の変分値を加算すると共に、前記第二の加減算手段230bの現在値が「11」を超過すると第二の異常検出信号ER2を発生する失敗受信処理ブロックである。

#### 【0032】

407aは子局が返信した上記確認返信パケット403a又は404aを親局が受信した時に作用するビット異常判定手段や返信応答異常判定手段などによる第一の通信エラー判定ブロック（図2における判定ブロック207に対応）、408aは該判定ブロックの判定結果に応じて前記第一の加減算手段230aによる加減算を行ったり、上記定期送信パケット401aによる再送処理が行われる返着処理ブロックであり、該返着処理ブロック408aでは上記第一の通信エラー判定ブロック407aの判定結果が異常であったり、上記受信失敗の確認返信パケット404aを正常受信した場合には再度定期送信パケット401aを送信すると共に、前記第一の加減算手段230aの現在値が「11」を超過すると第一の異常検出信号ER1を発生するようになっている。

#### 【0033】

図5は第一の制御回路部200a（親局）が第二の制御回路部200b（子局）に対して、間接入力信号を讀出要求したり、定期送信パケット401aによって既に書込設定されている保存データを讀出要求する場合の不定期送信パケットと報告返信パケットの構成を示したものである。

図5において、401bは親局から子局に対して、各種データの讀出要求（子局→親局への讀出）をする場合の不定期送信パケット（図2における不定期送信パケット211に対応）であり、讀出要求に当たっては先ず親局→子局への不定期送信パケット401bが送信されて讀出したいデータのアドレスが指定されるようになっている。

なお、上記不定期送信パケット401bは開始データ55H・コマンド30H・讀出先アドレス・終了データAAH・チェックサムデータの5個のフレームによって構成されている。402bは子局が上記不定期送信パケット401bによる一連のデータを受信したときに作用して、パリティチェックやサムチェックによるビットの欠落・混入の有無を検出するビット異常判定を行う第二の通信エラー判定ブロック（図2における判定ブロック212に対応）である。

#### 【0034】

403bは上記第二の通信エラー判定ブロック402bの判定が正常受信であった時に親局に返信される報告返信パケット（図2における報告返信パケット215に対応）であり、該報告返信パケットは開始データ25H・讀出データ1・讀出データ2・讀出先アドレス・終了データAAH・チェックサムデータの6個のフレームによって構成されている。

なお、上記讀出先アドレスは讀出データ1の格納先アドレスであり、讀出データが8ビットデータの場合には、讀出データ2は讀出データ1のアドレスの次のアドレス（例えば、讀出データ1のアドレスが100番地であれば、讀出データ2のアドレスは101番地）のデータとなっている。

また、讀出先アドレスの讀出データが16ビットデータである場合には、讀出データ1は上位8ビット、讀出データ2は下位8ビットのデータとなっている。

404bは上記第二の通信エラー判定ブロック402bの判定が異常受信であった時に親局に返信される確認返信パケット（図2における報告返信パケット215に対応）であり、該確認返信パケットは開始データ55H・非認知データ72H・讀出先アドレス・終了データAAH・チェックサムデータの5個のフレームによって構成されている。

405bは上記報告返信パケット403bを返信した後に、前記第二の加減算手段230bが第一の変分値「1」を減算する正常受信処理ブロックである。

406bは上記確認返信パケット404bを返信した後に、上記第二の通信エラー判定ブロック402bの判定結果に応動して前記第二の加減算手段230bが第二の変分値を加算すると共に、第二の加減算手段230bの現在値が「11」を超過すると第二の異常検出信号ER2を発生する失敗受信処理ブロックである。

## 【 0 0 3 5 】

407bは子局が返信した上記報告返信パケット403b又は確認返信パケット404bを親局が受信した時に作用するビット異常判定手段や返信応答異常判定手段などによる第一の通信エラー判定ブロック（図2における判定ブロック217に対応）、408bは該判定ブロックの判定結果に応じて前記第一の加減算手段230aによる加減算を行ったり、上記不定期送信パケット401bによる再送処理が行われる返着処理ブロックであり、該返着処理ブロックでは上記第一の通信エラー判定ブロック407bの判定結果が異常であったり、上記受信失敗の確認返信パケット404bを正常受信した場合には再度不定期送信パケット401bを送信すると共に、前記第一の加減算手段230aの現在値が「11」を超過すると第一の異常検出信号ER1を発生するようになっている。

409bは上記第一の通信エラー判定手段407bの判定が報告返信パケット403bの正常受信であったときに作用して、報告返信された被読出データを格納する読出情報格納ブロック（図2のブロック224に対応）である。

## 【 0 0 3 6 】

図6は第二の制御回路部200b（子局）から第一の制御回路部200a（親局）に対して、間接入力信号を送信する場合の定期報告パケットのフレーム構成を示したものであり、間接入力信号の定期報告に当たっては、先ず親局→子局へ定期送信パケット401cが送信されて定期報告の送信許可が与えられるようになっている。

図6において、401cは定期報告の許可情報を包含した定期報告許可手段となる定期送信パケット（図2における定期送信パケット201に対応）であり、該定期送信パケット401cは開始データ55H・コマンド10H・指令データ01H・特定アドレス#00・終了データAAH・チェックサムデータの6個のフレームによって構成されていて、上記指令データは定期報告を許可すると共に報告周期を指定するデータとなっている。402cは子局が上記定期送信パケット401cによる一連のデータを受信したときに作用して、パリティチェックやサムチェックによるビットの欠落・混入の有無を検出するビット異常判定を行う第二の通信エラー判定ブロック（図2における判定ブロック202に対応）である。

## 【 0 0 3 7 】

403cは上記第二の通信エラー判定ブロック402cの判定が正常受信であったときに親局に返信される最初の定期報告パケット（図2における定期報告パケット221に対応）であり、該定期報告パケット403cは開始データ11H・報告データ1・報告データ2・ステータス情報・終了データAAH・チェックサムデータの6個のフレームによって構成されている。

404cは上記第二の通信エラー判定ブロック402cの判定が異常受信であったときに親局に返信される確認返信パケット（図2のブロック205に対応）であり、該確認返信パケット404cは開始データ55H・非認知データ62H・特定アドレス#00・終了データAAH・チェックサムデータの5個のフレームによって構成されている。

415cは上記定期報告パケット403cを返信した後に、受信した上記指令データを図示しない特定アドレス・#00のデバイスメモリに格納する書込設定ブロックである。405cは上記定期報告パケット403cを送信した後に、前記第二の加減算手段230bが第一の変分値「1」を減算する正常受信処理ブロックである。

406cは上記確認返信パケット404cを返信した後に、上記第二の通信エラー判定ブロック402cの判定結果に応動して前記第二の加減算手段230bが第二の変分値を加算すると共に、第二の加減算手段230bの現在値が「11」を超過すると第二の異常検出信号ER2を発生する失敗受信処理ブロックである。

## 【 0 0 3 8 】

407cは子局が返信した上記定期報告パケット403c又は確認返信パケット404cを親局が受信した時に作用するビット異常判定手段や返信応答異常判定手段などによる第一の通信エラー判定ブロック（図2における判定ブロック207に対応）、408cは該判定ブロックの判定結果に応じて前記第一の加減算手段230aによる加減算を行う着信処理ブロックである。

なお、上記着信処理ブロック408cでは上記第一の通信エラー判定ブロック407cの判定結

果が異常であったり、上記受信失敗の確認返信パケット404cを正常受信した場合には再度定期送信パケット401cを送信すると共に、前記第一の加減算手段230aの現在値が「11」を超過すると第一の異常検出信号ER1を発生するようになっている。409cは上記第一の通信エラー判定手段407cの判定が定期報告パケット403cの正常受信であったときに作用して、定期報告された初回の被報告データを格納する入力情報格納ブロック（図2のブロック224に対応）である。

#### 【0039】

403dは上記定期報告パケット403cが送信されてから指定された報告周期T1が経過した時点で親局に送信される定期報告パケット（図2における定期報告パケット221に対応）であり、該定期報告パケットは上記定期報告パケット403cと同一のフレーム構成となっている。

407dは子局が送信した上記定期報告パケット403dを親局が受信した時に作用するビット異常判定手段や受信間隔異常判定手段などによる第一の通信エラー判定ブロック（図2における判定ブロック223に対応）、408dは該判定ブロックの判定結果に応じて前記第一の加減算手段230aによる加減算を行う着信処理ブロックである。

なお、上記着信処理ブロック408dでは上記第一の通信エラー判定ブロック407dの判定結果が異常であったときには、不定期送信パケット401bによって読出要求を行うと共に、前記第一の加減算手段230aの現在値が「11」を超過すると第一の異常検出信号ER1を発生するようになっている。

409dは上記第一の通信エラー判定手段407dの判定が定期報告パケット403dの正常受信であったときに作用して、定期報告された被報告データを格納する入力情報格納ブロック（図2のブロック224に対応）である。

#### 【0040】

上記定期報告パケット403c・403dに含まれるステータス情報410c・410dは図15で詳述するように構成されていて、下位4ビットは前記第二の加減算手段230bの現在値が格納され、続く上位3ビットは定期報告された入力の簡略アドレスが格納され、最上位の1ビットは読出依頼フラグ情報が格納されるようになっており、上記読出依頼フラグが論理レベル「1」のときには不定期送信パケット401bによって特定アドレスの選択データメモリの読出要求を行うようになっている。

なお、上記選択データメモリには例えば第二の制御回路部200bが緊急報告したい異常発生のデバイス番号や異常コード番号が格納されていて、常時は報告する必要のない情報となっている。

また、上記定期送信パケット401cの指令データは定期報告の繰返し周期T1の間隔を指定するものであって、この指令データが例えば00Hにされると定期報告は停止されるようになっている。

#### 【0041】

##### （2）作用・動作の詳細な説明

次に、図7および図8を用いて、本実施の形態による車載電子制御装置の第一の制御回路部における動作について説明する。

なお、図7は、主として第一の制御回路部200aにおける送信動作のフローを示し、図8は主として第一の制御回路部200aにおける受信動作のフローを示している。図7において、500は定期的に活性化されるマイクロプロセッサ110aの動作開始工程であり、該開始工程は図1の電源スイッチ105bが投入されたときと、メインCPU110aにリセットパルス信号RST1が供給されたときに活性化されると共に、後述の動作終了工程518に続いて循環動作するようになっている。

#### 【0042】

501は上記工程500に続いて作用し、後述の工程505で初回フラグがセットされているかどうかによって初回動作であるかどうかを判定する工程、502は該工程501の判定がYES（初回動作）であった時に作用し、第一の加減算手段230aの現在値を初期値「9」に設定する工程である。503は該工程502に続いて作用し図6における報告繰返し周期T1に相当す

る間隔タイマT1を起動する工程、504は該工程503に続いて図2における返信待ちデータテーブル206の内容を削除する工程、505は該工程504に続いて作用し、図示しない初回フラグをセットする工程であり、上記初回フラグは図1の電源スイッチ105bが投入されたときとメインCPU110aにリセットパルス信号RST1が供給されたときにはリセットされるようになっている。506は上記工程501の判定がNO（初回動作ではない）であったとき、又は上記工程505に続いて作用し、第一の直並列変換器117が第二の直並列変換器127から送信されたシリアルデータを受信して並列変換が完了したことを示す受信フラグが作動したかどうかを判定する工程であり、該工程506の判定がYES（受信完了）したときは図8に示す工程540へ移行するようになっている。

#### 【0043】

510は上記工程506の判定がNO（受信フラグ未作動）であったときに作用し、上記工程503や後述の工程511や工程561（図8）で起動されたタイマT1がタイムアップしていないかどうかを判定する工程、511は該工程510の判定がYES（タイムアップ）であったときに作用し、タイマT1を再起動する工程、512は該工程511に続いて作用し、図6の定期送信パケット401cによって既に定期報告発信の許可が出されていて、アドレス#00のメモリに指令データ01Hが書き込まれているかどうかを判定する工程、513は該工程512の判定がYES（定期報告許可あり）であったときに作用し、第一の加減算手段である演算手段CN1を6カウント加算する工程、514は該工程513に続いて作用し、読出要求フラグをセットする工程である。

515は上記工程514に続いて作用し、第一の加減算手段である演算手段CN1の現在値が11を超過していないかどうかを判定する工程、516は該工程515の判定がYES（11超過）であったとき、又は後述の工程522の判定がYES（11超過）であったときに作用して、第一の異常検出信号ER1のパルス出力を発生する工程、517は該工程516に続いて作用し、上記工程505でセットされた初回フラグをリセットする工程、518は上記工程515の判定がNO（11以下）であったとき、又は上記工程517に続いて作用する動作終了工程であり、該工程518に続いて上記動作開始工程500が循環作動するようになっている。なお、519aは上記工程516・517によって構成された第一の初期化手段の一つとなる工程ブロックである。

#### 【0044】

520は上記工程510の判定がNO（タイマT1がカウントアップしていない）であったとき、又は上記工程512の判定がNO（定期報告が許可されていない）であったときに作用し、後述の工程534で書き込まれた返信待ちデータテーブル（図2の206参照）の残留先頭データの保存時間が所定の返信応答時間Tを超過していないかどうかを判定する工程、521は該工程520の判定がYES（タイムアウト）であったときに作用し、第一の加減算手段である演算手段CN1を6カウント加算する工程、522は該工程521に続いて作用し、第一の加減算手段である演算手段CN1の現在値が11を超過していないかどうかを判定する工程、523は該工程522の判定がNO（11以下）であったときに作用し、再送要求フラグをセットする工程であり、該工程523に続いて前記動作終了工程518へ移行するようになっている。

なお、上記返信待ちデータテーブル206は一定時間ごとに格納データが移動する複数段のシフトレジスタで構成されていて、該シフトレジスタに格納された返信待ちコマンドがオーバフローレジスタに移動したことによって上記工程520によるタイムアウト判定が行われるようになっている。

#### 【0045】

530は上記工程520の判定がNO（タイムアウトしていない）であったときに作用し、上記工程514や後述の工程542・564（図8）によって読出要求フラグがセットされているかどうかを判定する工程、531は該工程530の判定がYES（読出要求有り）であったときに作用し、上記工程523又は後述の工程542・551（図8）によって再送要求フラグがセットされているかどうかを判定する工程、532aは該工程531の判定がYES（再送要求あり）であったときに作用し既に送信されたい旧読出要求を不定期送信パケット401bによって

送信する工程、533aは該工程532aに続いて作用し、再送要求フラグをリセットする工程である。

532bは上記工程531の判定がN O（再送要求なし）であったときに作用し、上記工程530で読出要求された今回の読出要求を不定期送信パケット401bによって送信する工程、533bは該工程532bに続いて作用し、読出要求フラグをリセットする工程、534は上記工程533a・533b又は後述の工程538・537bに続いて作用し、上記工程532a・532bや後述の工程537a・537bで送信されたコマンドを順次返信待ちデータテーブル206に格納すると共にシフトレジスタであるデータテーブルのシフト動作を行ってから前記動作終了518へ移行する工程である。

#### 【 0 0 4 6 】

535は上記工程530の判定がN O（読出要求なし）であったときに作用し、定期送信パケット401aによって定期送信を行う時期であるかどうかを判定する工程、536は該工程535の判定がY E S（定期送信時期）であったときに作用し、上記工程523又は後述の工程542・551（図8）によって再送要求フラグがセットされているかどうかを判定する工程、537aは該工程536の判定がY E S（再送要求あり）であったときに作用し既に送信されていた送信コマンドに基づいて定期送信パケット401aを送信する工程、538は該工程537aに続いて作用し、再送要求フラグをリセットする工程である。

537bは上記工程536の判定がN O（再送要求なし）であったときに作用し、今回の定期送信パケット401aを送信する工程であり、上記工程535の判定がN O（定期送信時期ではない）であったときには前記の動作終了工程518へ移行するようになっている。

#### 【 0 0 4 7 】

図8において、540は前記工程506（図7）の判定がY E S（受信フラグ作動）であったときに作用し、受信データのサムチェックを行う工程である。

なお、各送受信パケットには開始データSTXから終了データETXまでの各フレームデータを全てバイナリ加算したチェックサムのフレームが付加されていて、開始データSTXからチェックサムデータまでの全てのフレームデータのバイナリ加算を行ってこれが正常値0 0 Hとなるかどうかを判定するのがサムチェックである。541は上記工程540に続いて作用し、サムチェックの結果としてエラーがあったかどうかを判定する工程、542は該工程541の判定がY E S（エラー有り）であったときに作用し、再送要求フラグ又は読出要求フラグをセットする工程、543は該工程542に続いて作用しエラーのあった受信データを削除する工程、544は該工程543に続いて作用し、第一の加減算手段である演算手段C N 1に3カウントを加算する工程である。

なお、上記工程542において受信したデータが定期送信に対する確認返信パケットであったか、不定期送信パケットに対する報告返信パケットであったか、或いは定期報告パケットであったかの区分ができないときは再送要求フラグや読出要求フラグはセットしないようになっている。

#### 【 0 0 4 8 】

545は上記工程544又は後述の工程552に続いて作用し、第一の加減算手段である演算手段C N 1の現在値が1 1を超過していないかどうかを判定する工程、546は該工程545の判定がY E S（1 1超過）であったときに作用して、第一の異常検出信号ER1のパルス出力を発生する工程、547は該工程546に続いて作用し、前記工程505（図7）でセットされた初回フラグをリセットする工程であり、上記工程545の判定がN O（1 1以下）であったとき、又は上記工程547に続いて前記動作終了工程518へ移行して、続いて前記動作開始工程500が循環作動するようになっている。なお、519bは上記工程546・547によって構成された第一の初期化手段の一つとなる工程ブロックである。

550は上記工程541の判定がN O（サムチェックエラー無し）であったときに作用し、子局から正常受信したデータが子局での受信失敗（N A C K）に関するデータではないかどうかを判定する工程、551は該工程550の判定がY E S（受信失敗）であったときに作用し、再送要求フラグをセットする工程、552は該工程551に続いて作用し、第一の加減算手段である演算手段C N 1に3カウントを加算する工程であり、該工程552に続いて上記工程545

へ移行するようになっている。

#### 【0049】

560は上記工程550の判定がNO（受信失敗ではない）であったときに作用し、受信したデータが定期報告パケットによる子局からの定期報告であったかどうかを判定する工程、561は該工程560の判定がYES（定期報告受信）であったときに作用し、報告間隔タイムT1を再起動する工程、562は該工程561に続いて作用し、第一の加減算手段である演算手段CN1に1カウントの減算を行う工程、563は該工程562に続いて作用し、定期報告されたデータの中に読出依頼フラグがセットされているかどうかを判定する工程、564は該工程563の判定がYES（読出依頼あり）であったときに作用し、読出要求フラグをセットする工程、565は上記工程563の判定がNO（読出依頼なし）であったとき、又は上記工程564に続いて作用し、受信した定期報告データを格納保存する工程であり、該工程565に続いて前記動作終了工程518へ移行するようになっている。

なお、上記工程563における読出依頼フラグは図9の工程608によって子局側でセットされるものである。

#### 【0050】

570は上記工程560の判定がNO（定期報告の受信ではない）であったときに作用し、確認返信の受信であったかどうかを判定する工程、571は該工程570の判定がNO（定期送信に対する確認返信ではなく不定期送信に対する報告返信である）であったときに作用し、子局から返信報告された不定期読出データを格納する工程、572は該工程571に続いて作用し、前記工程514（図7）や上記工程542・564でセットされた読出要求フラグをリセットする工程、573は上記工程570の判定がYES（定期送信に対する正常受信の確認返信）であったとき、又は上記工程572に続いて作用し、第一の加減算手段である演算手段CN1に1カウントの減算を行う工程、574は該工程573に続いて作用し、上記工程534で格納された返信待ちデータテーブル206の中から返信されたコマンドを消去する工程であり、該工程574に続いて前記動作終了工程518へ移行するようになっている。

#### 【0051】

以上の動作を概括的に説明すると、図7・図8において519a・519bは初回フラグをリセットすることによって次の動作で工程502～504を実行して第一の制御回路部200aを初期化すると共に、第一の異常検出信号ER1を発生して第二の制御回路部200bを初期化・再起動する第一の初期化手段、510は定期報告の受信間隔監視手段となる第一の通信エラー判定手段、513は第三の変分値「6」を加算する第一の加減算手段、516は第一の異常検出信号ER1を発生する第一の異常発生確定手段、520は返信遅延監視手段となる第一の通信エラー判定手段、521は第三の変分値「6」を加算する第一の加減算手段、532aは再送要求に対する不定期送信パケットの再送手段、532bは読出要求による不定期送信手段、537aは定期送信に対する再送手段、537bは定期送信手段である。

また、図8において540はビット情報監視手段である第一の通信エラー判定手段、544は第二の変分値「3」を加算する第一の加減算手段、546は第一の異常検出信号ER1を発生する第一の異常発生確定手段、552は第二の変分値「3」を加算する第一の加減算手段、562と573は第一の変分値「1」を減算する第一の加減算手段となっている。

#### 【0052】

なお、図2における判定ブロック207はビット情報監視手段である第一の通信エラー判定手段540と返信遅延監視手段となる第一の通信エラー判定手段520を包含し、同様に、判定ブロック217はビット情報監視手段である第一の通信エラー判定手段540と返信遅延監視手段となる第一の通信エラー判定手段520を包含し、判定ブロック223はビット情報監視手段である第一の通信エラー判定手段540と定期報告の受信間隔監視手段となる第一の通信エラー判定手段510を包含している。

次に、図9および図10を用いて、本実施の形態による車載電子制御装置の第二の制御回路部における通信制御の動作について説明する。

なお、図9は主として第二の制御回路部200bにおける併用制御回路部120aの受信動作に関する等価制御フローを示し、図10は主として第二の制御回路部200bにおける併用制御

回路部120aの送信動作に関する等価制御フローを示している。図9において、600は定期的に活性化される併用制御回路部120aの動作開始工程であり、該開始工程は図1の電源スイッチ105bが投入されたときと、リセットパルス信号RST2が供給されたときに活性化されると共に、後述の動作終了工程635に続いて循環動作するようになっている。

#### 【0053】

601は上記工程600に続いて作用し、後述の工程605で初回フラグがセットされているかどうかによって初回動作であるかどうかを判定する工程、602は該工程601の判定がYES（初回動作）であった時に作用し、第二の加減算手段230bの現在値を初期値「9」に設定する工程、603は該工程602に続いて作用し定期送信周期に相当する間隔タイマT2と後述の遅延監視タイマT3を起動する工程、604は該工程603に続いて図2における未処理データテーブル204の内容を削除する工程、605は該工程604に続いて作用し、図示しない初回フラグをセットする工程であり、上記初回フラグは図1の電源スイッチ105bが投入されたときと併用制御回路部120aにリセットパルス信号RST2が供給されたときにはリセットされるようになっている。

#### 【0054】

606は上記工程601の判定がNO（初回動作では無い）であったとき、又は上記工程605に続いて作用し、併用制御回路部120a内での入出力の自己診断等によって異常が検出され、これを親局に緊急報告したいなどの要求があるかどうかの判定工程、607は該工程606の判定がYES（緊急報告データ有り）であったときに作用し、特定アドレスの選択データメモリに報告したい異常発生入出力番号や異常コード番号等のデータ内容を書き込んでおく工程、608は該工程607に続いて作用し、読出依頼フラグをセットする工程、609は上記工程606の判定がNO（緊急報告データ無し）であったとき、又は上記工程608に続いて作用し、図示しない制御信号線の論理レベルが反転して親局への送信許可が出されているかどうかを判定する工程である。

なお、上記工程609の判定がYES（送信許可信号変化あり）のときには図10の工程640へ移行するようになっている。

#### 【0055】

610は上記工程609の判定がNO（送信許可なし）であった時に作用し、第二の直並列変換器127が第一の直並列変換器117から送信されたシリアルデータを受信して並列変換が完了したことを示す受信フラグが作動したかどうかを判定する工程であり、該工程610の判定がNO（未受信）であったときは後述の工程612へ移行するようになっている。611は上記工程610の判定がYES（受信フラグ作動）であったときに作用し、親局から受信した一連の受信データをレジスタDに仮格納する工程、612は上記工程603で起動された受信間隔監視用タイマT2がタイムアップしたかどうか判定する工程であり、該工程612の判定がNOであって受信間隔異常ではないときには上記工程609へ移行し、工程612の判定がYESであって受信間隔異常であるときには後述の工程630へ移行するようになっている。

613は上記工程611に続いて作用し、上記工程611によって受信した一連の受信データのサムチェックを行う工程、614は該工程613に続いて作用し、受信データに異常があったかどうかを判定する工程、615は該工程614の判定NO（正常）であった時に作用し、第二の加減算手段である演算手段CN2に1カウントの減算を行う工程、616は該工程に続いて作用し、上記工程611による受信データが定期送信パケット401aによる出力設定であったか不定期送信パケット401bによる読出要求であったかを判定する工程である。

#### 【0056】

620は上記工程616の判定が読出要求であった時に作用し、読出要求コマンド30Hとアドレスを一時記憶する工程、621は上記工程616の判定が出力設定であった時に作用し、ACK・61Hとアドレスを一時記憶する工程、622は該工程621に続いて作用し、上記工程611で得られた出力設定データを指定されたアドレスのデバイスメモリや第二の設定データメモリ237bに格納すると共に、受信間隔監視用タイマT2を再起動する工程である。623は上記工程614の判定YES（受信データ異常）であった時に作用し、第二の加減算手段であ

る演算手段CN2に3カウントの加算を行う工程、624は該工程623に続いて作用し、第二の加減算手段である演算手段CN2の現在値が11を超過していないかどうかを判定する工程、625は該工程624の判定がNO（11以下）であった時に作用し、NACK・82Hとアドレスを一時記憶する工程であり、上記工程620、622、625に続いて前記動作終了工程635へ移行するようになっている。

#### 【0057】

626は上記工程620・621・625によって構成された工程ブロックであり、該工程ブロックは図2における未処理データテーブル204に格納される返信コマンドデータとなっている。なお、上記工程625では読出要求又は出力設定に対応したNACK返信コードを分離していないが、図4・図5に示すとおり開始データSTXを注目することによって62H又は72Hで分離することも可能である。

630は上記工程612の判定がYES（定期送信データの受信間隔過大）であったときに作用し、第二の加減算手段である演算手段CN2に6カウントの加算を行う工程、631は該工程630に続いて作用し、受信間隔タイマT2を再起動する工程、632は該工程631に続いて作用し、第二の加減算手段である演算手段CN2の現在値が11を超過していないかどうかを判定する工程、633は該工程632の判定がYES（11超過）であったとき、又は上記工程624の判定がYES（11超過）であったときに作用し、第二の異常検出信号ER2のパルス出力を発生する工程、634は該工程633に続いて作用し、上記工程605でセットされた初回フラグをリセットする工程であり、上記工程632の判定がNO（11以下）であったとき、又は上記工程634に続いて前記動作終了工程635へ移行するようになっている。なお、636aは上記工程633・634によって構成された第二の初期化手段の一つとなる工程ブロックである。

#### 【0058】

図10において、640は前記工程609（図9）の判定がYES（送信許可あり）であった時に作用し、図6の定期送信パケット401cを受信して、定期報告が許可されているかどうかを判定する工程、641は該工程640の判定がYES（定期報告許可）であった時に作用し、前記工程603で起動されたタイマT3を停止する工程、642は該工程641に続いて作用し、定期報告の時期になっているかどうかを判定する工程、643aは該工程642の判定がYES（定期報告時期）であった時に作用し、図6定期報告パケット403cや403dを送信する工程、643bは該工程642に続いて作用し、次回に定期報告するデータのアドレスを歩進する工程であり、該工程643bに続いて前記動作終了工程635へ移行するようになっている。

644は上記工程640の判定がNO（定期報告未許可）であったときに作用し、前記工程603で起動されたタイマT3がタイムアップしているかどうかを判定する工程、645は該工程644の判定がYESであって運転開始後時間T3を待っても定期報告許可が得られないときに作用し、第二の加減算手段である演算手段CN2に6カウントを加算する工程、646は該工程645に続いて作用し、タイマT3を再起動する工程、647は該工程646に続いて作用し、第二の加減算手段である演算手段CN2の現在値が11を超過していないかどうかを判定する工程、648は該工程647の判定がYES（11超過）であったときに作用し、第二の異常検出信号ER2のパルス出力を発生する工程、649は該工程648に続いて作用し、前記工程605でセットされていた初回フラグをリセットする工程であり、上記工程647の判定がNO（11以下）であったとき、又は上記工程649に続いて前記動作終了工程635へ移行するようになっている。なお、636bは上記工程648・649によって構成された第二の初期化手段の一つとなる工程ブロックである。

#### 【0059】

650は上記工程644の判定がNO（タイムアップしていない）であったとき、又は上記工程642の判定がNO（定期報告時期ではない）であったときに作用し、前記工程ブロック626において未処理データテーブル204に格納された返信コマンドがあるか否かを判定する工程、651は該工程650の判定がYES（返信コマンドあり）であったときに作用し、上記未処理データテーブル204に格納された返信コマンドを先入れ先出し方式で読出す工程、652は該工程651に続いて作用し、工程651で読み出された返信コマンドが前記工程620で格

納された読出要求コマンドであったかどうかを判定する工程、653は該工程652の判定がYES（読出要求）であった時に作用し、指定されたアドレスのメモリに関する読出データを該当アドレスと共に報告返信する工程である。

654は上記工程653に続いて作用し、工程653で報告返信されたデータのアドレスが前記工程607でデータが書込みされた選択データメモリのアドレスであったかどうかを判定する工程、655は該工程654の判定がYES（選択データメモリ）であったときに作用し、前記工程608でセットされた読出依頼フラグをリセットする工程であり、上記工程654の判定がNO（選択データメモリでは無い）であったとき、又は上記工程655に続いて前記動作終了工程635へ移行するようになっている。

#### 【0060】

660は上記工程652の判定がNO（読出要求でない）であった時に作用し、上記工程651で読み出された返信データが前記工程621で格納されたACK-W（定期送信に対する正常受信）であったか、又は前記工程625で格納されたNACKであったかを判定する工程、661は該工程660の判定がYES（ACK-W）であった時に作用し、認知データACKと該当アドレスを返信する工程、662は上記工程660の判定がNO（NACK）であった時に作用し、非認知データNACKと該当アドレスを返信する工程であり、上記工程650の判定がNO（返信データなし）であった時や上記工程661・662に続いて前期動作終了工程635へ移行するようになっている。なお、663は上記工程661・662によって構成された工程ブロックであり、該工程ブロックは図4・図5における確認返信パケット403a・404a・404bの送信に相当し、上記工程653は図5の報告返信パケット403bの送信に相当している。

#### 【0061】

以上の動作を概括的に説明すると、図9・図10において636a・636bは初回フラグをリセットすることによって次の動作で工程602～604を実行して第二の制御回路部200bを初期化すると共に、第二の異常検出信号ER2を発生して第一の制御回路部200aを初期化・再起動する第二の初期化手段、608は子局が親局に対して特定アドレスの選択データメモリの内容を読出依頼するための読出依頼設定手段、612は定期送信パケットの受信間隔監視手段である第二の通信エラー判定手段、613は親局から送信されたデータに関するビット情報監視手段である第二の通信エラー判定手段、615は第一の変分値「1」を減算する第二の加減算手段、623は第二の変分値「3」を加算する第二の加減算手段、630は第三の変分値「6」を加算する第二の加減算手段、633は第二の異常検出信号ER2を発生する第二の異常発生確定手段となっている。

また、図10において、643aは定期報告パケットを送信する定期報告手段、644は許可時間判定手段、645は第三の変分値「6」を加算する第二の加減算手段、648は第二の異常検出信号ER2を発生する第二の異常発生確定手段、653は読出要求に対する報告返信パケットを送信する報告返信手段、663は正常受信又は受信失敗の確認返信パケットを送信する確認返信手段となっている。なお、図2における判定ブロック202は定期送信パケットの受信間隔監視手段である第二の通信エラー判定手段612と親局から送信されたデータに関するビット情報監視手段である第二の通信エラー判定手段613を包含しており、図2における判定ブロック212は親局から送信されたデータに関するビット情報監視手段である第二の通信エラー判定手段613そのものである。

#### 【0062】

前述の図7～図10に示すフローチャートの説明を踏まえて、図1・図2について概括的に作用動作を説明する。図1において、メインCPU110aは第一・第二の入力センサ群102a・102bと第一・第二のアナログセンサ群103a・103bを入力信号とし、不揮発プログラムメモリ115aに格納された制御プログラムや制御定数に基づいて第一・第二の電気負荷群104a・104bを制御するが、上記第二の入力センサ群102bと第二のアナログセンサ群103bと第二の電気負荷群104bは第一・第二の直並列変換器117・127を介して間接的にメインCPU110aとシリアル交信するようになっている。

なお、図1で示した実施の形態ではアナログ出力が取扱われていないが、必要に応じてメータ表示用のDA変換器を間接出力として搭載することもできる。

## 【 0 0 6 3 】

第一の制御回路部200aにおいて第一の異常検出信号ER1が発生すると、図7の工程517や図8の工程547で初回フラグがリセットされてから動作終了工程518へ移行するので、再度動作開始工程500へ移行したときには工程502～504によって第一の制御回路部200a自体の初期化が行われるようになっている。

一方、第一の異常検出信号ER1によって第二の制御回路部200bのリセット入力端子RST2にリセットパルス信号が入力されることによって、相手方である第二の制御回路部200bも初期化・再起動されることになる。

同様に、第二の制御回路部200bにおいて第二の異常検出信号ER2が発生すると、図9の工程634や図10の工程649で初回フラグがリセットされてから動作終了工程635へ移行するので、再度動作開始工程600へ移行したときには工程602～604によって第二の制御回路部200b自体の初期化が行われるようになっている。

一方、第二の異常検出信号ER2によって第一の制御回路部200a内のメインCPU110aのリセット入力端子RST1にリセットパルス信号が入力されることによって、相手方である第一の制御回路部200aも初期化・再起動されることになる。

## 【 0 0 6 4 】

第一・第二の制御回路部200a・200bはウォッチドグタイマ（watchdogtimer：コンピュータの動作ステップを監視し、システムの異常動作を検出する回路）130のリセットパルス信号RST1によっても初期化・再起動されるようになっているが、第一・第二の異常検出信号ER1・ER2やウォッチドグタイマ130によるリセットパルス信号RST1が発生すると、異常記憶回路131aがこれを記憶して警報・表示器108を作動させると共に、負荷電源リレー107aの作動を停止して一部の特定電気負荷に対する給電が停止される。

従って、ノイズ誤動作によってメインCPU110aが一時的に誤動作したような場合であれば、リセットパルスRST1によって自動的に再起動されることになるが、負荷電源リレー107aによる一部電気負荷の駆動停止状態は継続されるようになっている。但し、電源スイッチ105bを再投入すると異常記憶回路131aの異常記憶が解除されるので正常運転状態に回復することができるようになっている。

## 【 0 0 6 5 】

図2において、この実施例における基本的な送受信データとしては、親局→子局への定期送信パケットによる出力設定と、子局→親局への定期報告パケットによる入力読出によって構成されている。

但し、誤った出力設定が行われないように親局→子局への送信に対しては、子局→親局への受信確認返信を行うようになっている。

また、親局は読出要求によって不定期に子局側のデータを読出しすることができると共に、子局側でも定期報告の中で読出依頼フラグを設定することによって特定アドレスの情報を読出要求によって読出してもらうことができるようになっている。

## 【 0 0 6 6 】

なお、親局が送信して子局がこの送信に対する返信を行うような往復通信のみであれば、親局は子局からの返信を待って次の送信を行うことによって通信の渋滞を回避することができる。

しかし、子局側が親局の指示なしで親局に対して定期報告の送信を行おうとすれば、上り通信に渋滞が発生することになる。

未処理データテーブル204はこのような渋滞が発生した時に、未返信情報の待ち行列を作って、順次返信を行うことによって、適時に定期送信や定期報告が行えるようにするためのものである。

また、下り通信のデータ量が多い運転開始時には子局からの定期報告は禁止して、メインCPU110aは初期設定データを集中的に送信し、適時に不定期送信パケットによって読出要求を行って間接入力情報の読出を行うことができるように構成されている。

## 【 0 0 6 7 】

実施の形態2.

図11は、実施の形態2による車載電子制御装置の全体構成を示すブロック図である。

以下、実施の形態2による車載電子制御装置の構成と動作について、図1に示した実施の形態1による車載電子制御装置との相違点を中心に説明する。

図11において、100bは第一の制御回路部210aと第二の制御回路部210bによって構成された電子制御装置、110bはメインCPU（マイクロプロセッサ）、115bは該メインCPUと協働するフラッシュメモリ等の不揮発プログラムメモリであり、上記プログラムメモリ115bには入出力制御手段となるプログラムや通信制御手段となるプログラムのほか、図2の第一・第二の設定データメモリ237a・237bに転送書込みされる設定データや後述の補助CPU120bに対する暴走監視手段となるプログラムが書き込まれている。

116bは演算処理用のRAMメモリであり、該RAMメモリ116bには第一の加減算手段230a（図2参照）の現在値データや、上記プログラムメモリ115bから転送された第一の設定データ、或いは返信待ちコマンドデータが書き込まれるようになっている。

120bは補助CPU（マイクロプロセッサ）、125は該補助CPU120bと協働する補助プログラムメモリであり、該補助プログラムメモリ125には第二の制御回路部210bにおける入出力制御手段となるプログラムや自己診断プログラム、或いは通信制御プログラムなどが格納されている。

#### 【0068】

126bは補助RAMメモリであり、該補助RAMメモリ126bには第二の加減算手段230b（図2参照）の現在値データや、上記プログラムメモリ115bから転送された第二の設定データ、或いは未処理コマンドデータのほか、定期報告許可指令データ、選択データ、ステータス情報などが書き込まれるようになっている。

なお、上記メインCPU110bは補助CPU120bが発生するウォッチドグクリア信号WD2のパルス幅を監視して、該パルス幅が所定値を超過しているときにリセットパルス信号RST2を発生するようになっている。

131bは計数入力トリセット入力とカウントアップ出力とを有する計数記憶回路（異常発生記憶手段）、138bは前記ウォッチドグタイマ130が発生するリセットパルス信号RST1と上記補助CPU120bが発生する第二の異常検出信号ER2に対する論理和素子であり、該論理和素子138bの出力によってメインCPU110bがリセットされて再起動されるようになっている。

139bは上記メインCPU110bが発生する第一の異常検出信号ER1トリセットパルス信号RST2に対する論理和素子、140bは前記ウォッチドグタイマ130が発生するリセットパルス信号RST1と上記論理和素子139bの出力に対する論理和素子であり、該論理和素子140bの出力によって上記補助CPU120bがリセットされて再起動されるようになっている。

#### 【0069】

141bは上記論理和素子138bと139bの出力を入力とする論理和素子であり、該論理和素子141bの出力は上記計数記憶回路131bの計数入力端子に接続されている。

なお、上記計数記憶回路131bは上記リセットパルス信号RST1・RST2や第一・第二の異常検出信号ER1・ER2の動作回数を計数記憶して、該計数値が所定値以上となったときに前記警報・表示器108を駆動すると共に、前記電源スイッチ105bが閉路したときには電源検出回路135によって計数記憶値がリセットされるようになっている。

132bはゲート回路（駆動停止手段）、137は補助マイクロプロセッサ120bが発生する駆動出力DR2によって上記駆動停止手段132bを介して負荷電源リレー107aを駆動する反転駆動素子であり、該負荷電源リレー107aは駆動出力DR2が発生していると共に、計数記憶回路131bがカウントアップしていない時に作動するようになっている。なお、上記補助CPU120bは駆動出力DR1を発生して電源リレー106aの動作保持を行うと共に、第二の異常検出信号ER2やウォッチドグクリア信号WD2を発生するようになっている。

#### 【0070】

以上の説明で明らかとなおり、図1における併用制御回路120aが論理回路を用いた集積回路素子で構成されているのに対して、図11のものは補助CPU120bを備えていて、単に第二の入力センサ群102bや第二のアナログセンサ群103bによる間接入力信号をメインC

P U110bに送信するだけでなく、入力センサ群の断線・短絡検出を行ったり、複数の入力信号に対する論理結合処理を行った上でメインC P U110bに送信するなどの加工処理を施すことが容易な形態となっている。同様に、補助C P U120bはメインC P U110bから送信された間接出力信号によって直接的に第二の電気負荷群104bを駆動するのではなく、第二の入力センサ群102bからの入力信号に応じた論理処理を施すことも容易な形態となっている。更に、第一・第二の直並列変換器117・127を介して相互監視情報を交信する機能を付加することが容易となる実施形態となっている。

#### 【0071】

図12～図14は、図11に示した実施の形態2による車載電子制御装置における各種通信パケットの中で指定されるアドレスの区分を示したものである。

図12は、制御出力・定数設定データテーブルを示したものであり、定期送信パケット401aとその返信パケットや不定期送信パケット401bとその返信パケットにおいて指定されるアドレス区分を示している。図13は監視入力データテーブルを示したものであり、不定期送信パケット401bとその返信パケットで指定されるアドレス区分を示している。また、図14は定期報告順序の関係を示したものであり、定期報告パケット403c・403dにおけるステータス情報の中で指定される入力の簡略アドレスと定期報告順序の関係を示したものである。

図12において、アドレス01～08は図2における第二の設定データメモリ237bと返信応答許容時間や受信間隔許容時間格納用メモリのアドレスを示し、アドレス0Aは間接制御出力Y07～Y00(Y00はDR1に対応しY01はDR2に対応している)、アドレス0Bは間接制御出力Y17～Y10に対するアドレスとなっていて、各アドレスのデータは8ビットデータとなっている。

なお、アドレス01～08に関する設定データは運転開始時に順次定期送信され、その後アドレス00に対して定期報告の許可指令を送信してからはアドレス0Aとアドレス0Bを交互に定期送信するようになっている。

#### 【0072】

図13において、アドレス10～17は32ビットデータに対するアドレスとなっているが、アドレス10のステータスメモリとアドレス17の選択データメモリは図15で詳述するとおりとなっている。

また、アドレス11は16点の間接入力X07～X00、X17～X10に対するアドレスであり、アドレス12～16は間接アナログ入力1～5に関するデジタル変換値のアドレスとなっている。

図14において、初回の定期報告における報告データ1・報告データ2は図13のアドレス11で示された間接入力1・間接入力2であり、次の定期報告における報告データ1・報告データ2は図13で示されたアナログ1のデジタル変換値であり、続く定期報告における報告データ1・報告データ2は再び図13のアドレス11で示された間接入力1・間接入力2であり、更に続く定期報告における報告データ1・報告データ2は図13で示されたアナログ2のデジタル変換値である。以下同様にして間接入力1・2とアナログ1～5が順次定期報告されるようになっている。

#### 【0073】

図15は図9の工程607で説明した選択データメモリに関連する送受信データの構成を示したものである。

図15において、900は第二の制御回路部210bが定期的に送信する定期報告パケットであり、該定期報告パケットには上記第二の入力センサ群102bや第二のアナログセンサ群103bのデジタル変換値が報告データ1・報告データ2として2バイト単位で順次格納されていると共に、ステータス情報901が毎回格納されている。上記ステータス情報901の下位4ビットは第二の加減算手段230bの現在値であり、上位3ビットは上記報告データ1の簡略アドレス(図13における監視入力アドレスの下位1桁の値)であり、最上位ビットは第二の制御回路部210bで異常が発生しているときに論理レベル「1」となる読出依頼フラグとなっている。902は第一の制御回路部210aが上記定期報告パケット900を受信したことによる着信処理ブロック、903は該着信処理ブロックの中で読出依頼フラグが検出されたこ

とによって第一の制御回路部210aが読出要求を行う不定期送信パケットであり、該不定期送信パケットで指定される読出し先のアドレスは選択データメモリのアドレス#17Hとなっている。

#### 【0074】

904は上記不定期送信パケット903を受信した第二の制御回路部210bが送信する報告返信パケットであり、該報告返信パケットによって読み出される選択データメモリ905の内容は、上位8ビットで異常発生したデバイスのアドレスを示し、下位8ビットの中の下位4ビットでは異常コード番号を示し、下位8ビットの中の上位4ビットではビット区分を表している。

なお、ここで言うビット区分とは、アドレス0A・0Bや、アドレス11におけるON/OFF入出力に対して、どの入出力であるかを特定するための番号情報となっている。

906は第一の制御回路部210aが上記報告返信パケット904を受信したことによる返着処理ブロックであり、この返着処理によって第一の制御回路部210aは第二の制御回路部210bにおける異常発生部位を知ることができるようになっている。

#### 【0075】

発明の他の実施形態

以上で、実施の形態1および実施の形態2による電子制御装置の基本的な構成と動作について説明したが、以下にその変型例について述べる。

前述した実施の形態1あるいは実施の形態2による電子制御装置では、第二の制御回路部から第一の制御回路部に対する確認返信や報告返信は未処理データテーブルの中から順次返信されるのに対し、第二の制御回路部から第一の制御回路部に対する定期報告は未処理データテーブルには含まれないようになっているが、この定期報告コマンドも定期的に未処理データテーブル内に格納し、先入れ先出しの原則で実際に報告送信する時点で最新の報告データを添付するようにして、上り通信の一元化を図ることが現実的である。

また、不定期送信コマンドに対する返信報告データについても、実際に返信される時点での最新の報告データが添付されて返信されるものである。

その他、第一の制御回路部から第二の制御回路部に対する定期送信では、図12で説明したアドレス0Aと0Bを交信送信する方法に替わって、アドレス0A→アドレス00→アドレス0B→アドレス01→アドレス0A→アドレス02→アドレス0B→アドレス03→アドレス0A→…のように、運転開始時に送信済みであるアドレス00～08についても逐次リフレッシュ書込みを行うようにしても良い。

#### 【0076】

また、前述した実施の形態1あるいは実施の形態2による電子制御装置では、正常通信時には第一の変分値を減算し、通信異常発生時には上記第一の変分値よりも大きな値である第二の変分値を加算する加減算手段を備え、該加減算手段の現在値が所定閾値を超過したときに異常発生を確定するようにしたものであり、上記第二の変分値は上記閾値よりも小さな値に設定することによって、異常状態が自然回復する散発的・慢性的エラーに対しては過敏な異常判定を回避すると共に、致命的・継続的な障害に対しては過去の履歴状態に応じた再送処理を行ったうえで、速やかな異常判定を確定することができるものである。

しかし、加減算手段の構成の仕方としては、例えば下限値「-9」、初期値「0」、上限値「3」として、正常通信が継続すれば加減算手段の現在値は「-9」まで減少し、通信異常があれば現在値に対する加算が行われて、これが上限値「3」を超過すると異常発生を確定するようにしても良い。

また、加減算の方向を反転して、例えば正常側上限値「11」、初期値「3」、異常判定下限値「0」として、正常通信が継続すれば加減算手段の現在値は「11」まで増加し、通信異常があれば現在値に対する減算が行われて、これが下限値「0」未満になると異常発生を確定するようにしても良い。

#### 【0077】

また、前述した実施の形態1あるいは実施の形態2による電子制御装置では、サムチェ

ックエラーと返信遅延や受信間隔異常によるタイムアウトエラー等の各種通信エラーに対して、加減算手段が総合的に現在の危険状態を集計して、異常判定閾値までの余裕の多寡によって可能な再送処理回数も一元的に決定されるよう構成されている。

しかし、サムチェックエラーと返信遅延や受信間隔異常によるタイムアウトエラー等の各種通信エラーによって加減算手段の現在値を補正する変分値の重み付けは、実用対象用途によって経験的・統計的に決定され、求められる安全度合いに応じて決定されるものである。

従って、上記第一・第二の加減算手段で扱われる第一の変分値・第二の変分値・第三の変分値・正常側限界値・異常側限界値・初期値等の各種制御定数の一部又は全部、或いは上記第一の通信エラー判定手段において使用される返信応答時間や受信間隔時間の許容値等の各種制御定数の一部又は全部のデータはメインCPUと協働する不揮発プログラムメモリから転送書込みし、必要に応じてこれらの定数の設定変更が行えるようにすることが望ましい。

#### 【0078】

また、前述した実施の形態1あるいは実施の形態2による電子制御装置では、第一・第二の制御回路部が、いずれも外部接続された制御入力と制御出力を有するものとして説明されているが、例えば第二の制御回路部は外部入出力を一切持たず、第一の制御回路部に対する監視制御を目的としたものであっても良い。

この場合、第一の制御回路部からは監視対象情報が第二の制御回路部に送信され、第二の制御回路部からは分析整理情報が第一の制御回路部に返信されると共に、監視結果に異常があればこれも補正用変分値として上記通信エラー判定用の加減算手段に代数加算するようにしても良い。

その他、第一・第二の制御回路部は遠隔設置され、多数の遠隔入出力信号をシリアル通信によって相互交信して省配線を行うような例えばプログラマブルコントローラなどの用途に摘要することもできる。

#### 【0079】

また、前述した実施の形態1あるいは実施の形態2による電子制御装置では、異常発生時にマイクロプロセッサを自動的に再起動して、なるべく装置の運転を継続するように配慮されているが、異常発生時にはマイクロプロセッサを停止し、人為的操作が付加されてはじめて再起動することができるように変更することも可能である。

また、異常発生時の報知手段として、無人運転設備等にあっては単に異常発生時刻を保存しておいて、適時に外部ツールを接続して履歴情報を読み出し表示するようにしたり、異常発生時刻にプリンタによる印字出力を行うようにしても良い。

#### 【0080】

以上の説明のより、この発明の内容は十分に理解され则认为るが、この発明は上述した実施態様に限定されることなく、請求項で特定した発明の趣旨の範囲で、あらゆる電子制御装置に適用されることは言うまでもない。なお、上記「発明の効果」の欄に記載されなかった請求項2以下の効果は次のとおりである。

この発明の請求項2に係る電子制御装置によれば、請求項1において、第一の制御回路部は返信待ちデータテーブルと再送手段とを備えているので、確認返信があったかどうかの判定が容易であると共に、通信エラーが発生したときに再送処理すべきコマンドが容易に確定できる効果がある。

#### 【0081】

この発明の請求項3に係る電子制御装置によれば、請求項1又は請求項2において、第二の制御回路部は読出依頼設定手段を備えている。従って、第二の制御回路部は単に定期報告を行うだけでなく、必要に応じて選択データメモリの内容を速やかに読出してもらうことができるので、定期報告データの量を削減しながら、通信エラー以外の異常情報を速やかに第一の制御回路部に報告することができる効果がある。

この発明の請求項4に係る電子制御装置によれば、請求項1において、定期送信手段又は定期報告手段の少なくとも一方は分割循環手段を備えている。従って、必要とされる緊

急度合いに応じた周期で順次分割送信又は分割報告することによって、1回の通信で送信又は報告されるデータ量を抑制して、通信の渋滞を回避することができる。

#### 【0082】

この発明の請求項5に係る電子制御装置によれば、請求項1において、第一の制御回路部は定期報告許可手段を備えている。

従って、運転開始時において第一の制御回路部から第二の制御回路部に対して多数の初期設定データ等を送信するときには、第二の制御回路部からの定期報告を禁止しておくことによって通信の渋滞が回避される効果がある。

この発明の請求項6に係る電子制御装置によれば、第一・第二の直並列変換器を介して相互に監視・制御信号のシリアル交信を行う第一・第二の制御回路部によって構成された電子制御装置において、第一・第二の制御回路部はそれぞれ第一・第二の通信エラー判定手段と第一・第二の加減算手段と第一・第二の異常発生確定手段とを備えると共に、第一の制御回路部は再送手段を備え、各種通信エラーは第一又は第二の加減算手段に集約されて計上されて、加減算手段の異常側限界値に達するまでは再送処理が行えるようになっていいる。従って、散発的・慢性的エラーに対して過敏な異常判定が行われない効果があると共に、再送処理を続けても依然として通信エラーが発生するような場合には、第一の加減算手段の現在値が異常側限界値の域外となることによって異常判定がなされ、初期化・再起動が行われるので、許容される再送処理回数は正常通信が持続していたかどうかの過去の履歴によって合理的に規制できる効果がある。

#### 【0083】

この発明の請求項7に係る電子制御装置によれば、請求項6において、第一・第二の制御回路部は第一・第二の初期化手段を備えている。

従って、異常発生している通信回線に依存することなく相手側の制御回路部を初期化することができると共に、再起動時には加減算手段の現在値を異常側限界値に接近させているので、起動直後の安全性を向上することができる効果がある。

この発明の請求項8に係る電子制御装置によれば、請求項6又は請求項7において、上記第一・第二の通信エラー判定手段はビット情報監視手段と返信遅延監視手段又は受信間隔監視手段の少なくとも一方の手段とを備え、ビット情報監視手段と返信遅延監視手段と受信間隔監視手段との判定がいずれも異常判定ではないときに、加減算手段は第一の変分値による加減算補正を行うようになっている。従って、多様な通信エラーの判定によって通信エラーの検出精度の向上と早期検出が可能になると共に、一対の加減算手段に集約して異常発生の確定が行われるので確度の高い異常判定が行える効果がある。

#### 【0084】

この発明の請求項9に係る電子制御装置によれば、請求項8において、ビット情報監視手段の判定が通信異常であるときに加減算手段が加算又は減算する第二の変分値は第一の変分値よりも大きな値とすると共に、返信遅延監視手段又は受信間隔監視手段の判定が通信異常であるときに加減算手段が加算又は減算する変分値は第二の変分値とは異なる値である第三の変分値とし、しかも該第三の変分値も異常側限界値と正常側限界値との差である許容累積値よりも小さな値として構成されている。

従って、多様な通信エラーの判定に重み付けを行って異常判定を行うことができると共に、返信遅延とか受信間隔過大等のタイムアウトエラーの判定閾値には、過剰な余裕時間を設定する必要がなく、実力に見合った判定時間を設定しておくことができるので、高精度のタイムアウト判定を行うことができる効果がある。

#### 【0085】

この発明の請求項10に係る電子制御装置によれば、請求項8又は請求項9において、第一の制御回路部は返信待ちデータテーブルを備え、上記返信遅延監視手段は上記返信待ちデータテーブルである送信側コマンドメモリに残された先頭データの保存時間が所定値を超過したときに異常判定を行う返信異常判定手段であると共に、返信異常判定されたコマンドデータと受信失敗の確認返信があったコマンドデータは上記送信側コマンドメモリから順次削除され、再度送信されたときに改めて送信側コマンドメモリに格納されるよう構

成されている。従って、返信遅延や受信失敗があったかどうかの判定が容易であると共に、エラー判定が行われたときに再送処理すべきコマンドが容易に確定できる効果がある。

この発明の請求項11に係る電子制御装置によれば、請求項6から10のいずれか1項において、第一の制御回路部は第一の設定データメモリを備え、各種制御定数の一部又は全部はマイクロプロセッサと協働する不揮発プログラムメモリから転送書込みされるようになっている。

従って、運転環境に応じて各種制御定数を変更して、異常発生確定条件を手軽に最適化することができる効果がある。

#### 【0086】

この発明の請求項12に係る電子制御装置によれば、請求項6から11のいずれか1項において、第二の制御回路部は第二の設定データメモリを備え、各種制御定数の一部又は全部はマイクロプロセッサと協働する不揮発プログラムメモリから第一・第二の直並列変換器を介して送信書込みされるようになっている。

従って、運転環境に応じて各種制御定数を変更して、異常発生確定条件を手軽に最適化できると共に、第一・第二の制御回路部における異常発生確定条件を異なる条件に設定して、多様な異常判定を行うことができる効果がある。

この発明の請求項13に係る電子制御装置によれば、請求項6から12のいずれか1項において、第二の制御回路部は定期報告手段と現在値報告手段とを備えている。従って、第一の制御回路部は第一・第二の加減算手段の現在値を総合的に監視することができると共に、定期送信に対する第二の制御装置の受信間隔異常が発生した場合にはステータス情報によって第一の制御回路部は速やかに異常を探知することができる効果がある。

#### 【0087】

この発明の請求項14に係る電子制御装置によれば、請求項6から13のいずれか1項において、直接入出力信号用インタフェース回路とウォッチドグタイマと異常発生記憶手段とを備え、異常発生記憶手段は第一及び第二の異常検出信号が発生したときと、ウォッチドグタイマによるリセットパルス信号が発生したときに、当該異常検出信号又はリセットパルス信号を記憶して、警報・表示・印字・履歴保存等による報知手段を作動させる異常記憶回路とし、ウォッチドグタイマがリセットパルス信号を発生したときと、第二の異常検出信号が発生したときには、メインCPUが初期化・再起動されると共に、ウォッチドグタイマがリセットパルス信号を発生したときと、第一の異常検出信号が発生したときには、第二の制御回路部の通信制御回路部が初期化・再起動されるようになっている。

従って、異常発生した通信回線に依存することなくメインCPUを再起動することができると共に、通信に関する異常検出信号は複数回の通信エラーによって発生するものであるのに対し、ウォッチドグタイマエラーが発生すると直ちに異常記憶や再起動が行われることになり、異常処置に対する重み付けを変えて報知することができる効果がある。

また、メインCPUの一時的なノイズ誤動作であって、直ちに正常再起動されたような場合であっても異常発生した事実が明確となり、保守点検を促すことができる効果がある。

#### 【0088】

この発明の請求項15に係る電子制御装置によれば、請求項14において、補助CPUと該補助CPUに対する暴走監視監視手段とを備え、該暴走監視手段がリセットパルス信号を発生したときと、ウォッチドグタイマがリセットパルス信号を発生したときと、第一の異常検出信号が発生したときには、補助CPUが初期化・再起動されると共に、異常記憶回路が異常発生を記憶するように構成されている。

従って、異常発生した通信回線に依存することなく補助CPUを再起動することができると共に、通信エラーの発生と暴走監視手段による暴走エラーの発生に対する異常処置の重み付けを変えて報知することができる効果がある。

また、補助CPUの一時的なノイズ誤動作であって、直ちに正常再起動されたような場合であっても異常発生した事実が明確となり、保守点検を促すことができる効果がある。

#### 【0089】

この発明の請求項16に係る電子制御装置によれば、請求項14又は請求項15において、異常発生記憶手段は計数記憶回路によって構成され、該計数記憶回路は第一・第二の異常検出信号とウォッチドグタイマ又は暴走監視手段によるリセットパルス信号に対する論理和出力を計数して、該計数値が所定値に到達したときに上記報知手段を作動させるよう構成されている。

従って、ウォッチドグタイマの判定閾値はウォッチドグタイマクリア信号の実力周期に見合った厳密な値にして、正確な暴走判定が行えると共に、妄りに異常警報を行わないようにすることができる効果がある。

また、論理和手段を備えているので、暴走異常に起因する通信エラーが重複計上されない効果がある。

#### 【0090】

この発明の請求項17に係る電子制御装置によれば、請求項14又は請求項15において、第一・第二の制御回路部の少なくとも一方は駆動停止手段と解除手段とを備えている。従って、一時的なノイズ誤動作であって、直ちに正常再起動されたような場合であっても、安全に関わる特定電気負荷の駆動を停止して安全性を向上すると共に、人為的操作によって正常運転状態に復帰させることができる効果がある。

この発明の請求項18に係る電子制御装置によれば、請求項16において、第一・第二の制御回路部の少なくとも一方は駆動停止手段と解除手段とを備えている。

従って、一時的なノイズ誤動作であって、直ちに正常再起動されたような場合であっても、安全に関わる特定電気負荷の駆動を停止して安全性を向上すると共に、人為的操作によって正常運転状態に復帰させることができる効果がある。

#### 【図面の簡単な説明】

##### 【0091】

【図1】実施の形態1による電子制御装置の全体構成を示すブロック図である。

【図2】実施の形態1による電子制御装置の通信制御動作を説明するためのブロック図である。

【図3】実施の形態1による電子制御装置の第一及び第二の加減算手段の動作を説明するための図である。

【図4】実施の形態1による電子制御装置の定期送信パケットの構成を示す図である。

【図5】実施の形態1による電子制御装置の不定期送信パケットの構成を示す図である。

【図6】実施の形態1による電子制御装置の定期報告パケットの構成を示す図である。

【図7】実施の形態1による電子制御装置の第一の制御回路部における送信動作を説明するためのフローチャートである。

【図8】実施の形態1による電子制御装置の第一の制御回路部における受信動作を説明するためのフローチャートである。

【図9】実施の形態1による電子制御装置の第二の制御回路部における受信動作を説明するためのフローチャートである。

【図10】実施の形態1による電子制御装置の第二の制御回路部における送信動作を説明するためのフローチャートである。

【図11】実施の形態2による電子制御装置の全体構成を示すブロック図である。

【図12】実施の形態2による電子制御装置における制御出力・定数設定データテーブルを示す図である。

【図13】実施の形態2による電子制御装置における監視入力データテーブルを示す図である。

【図14】実施の形態2による電子制御装置における定期報告順序の関係を示す図である。

【図15】実施の形態2による電子制御装置における読出依頼用送受信パケットの構

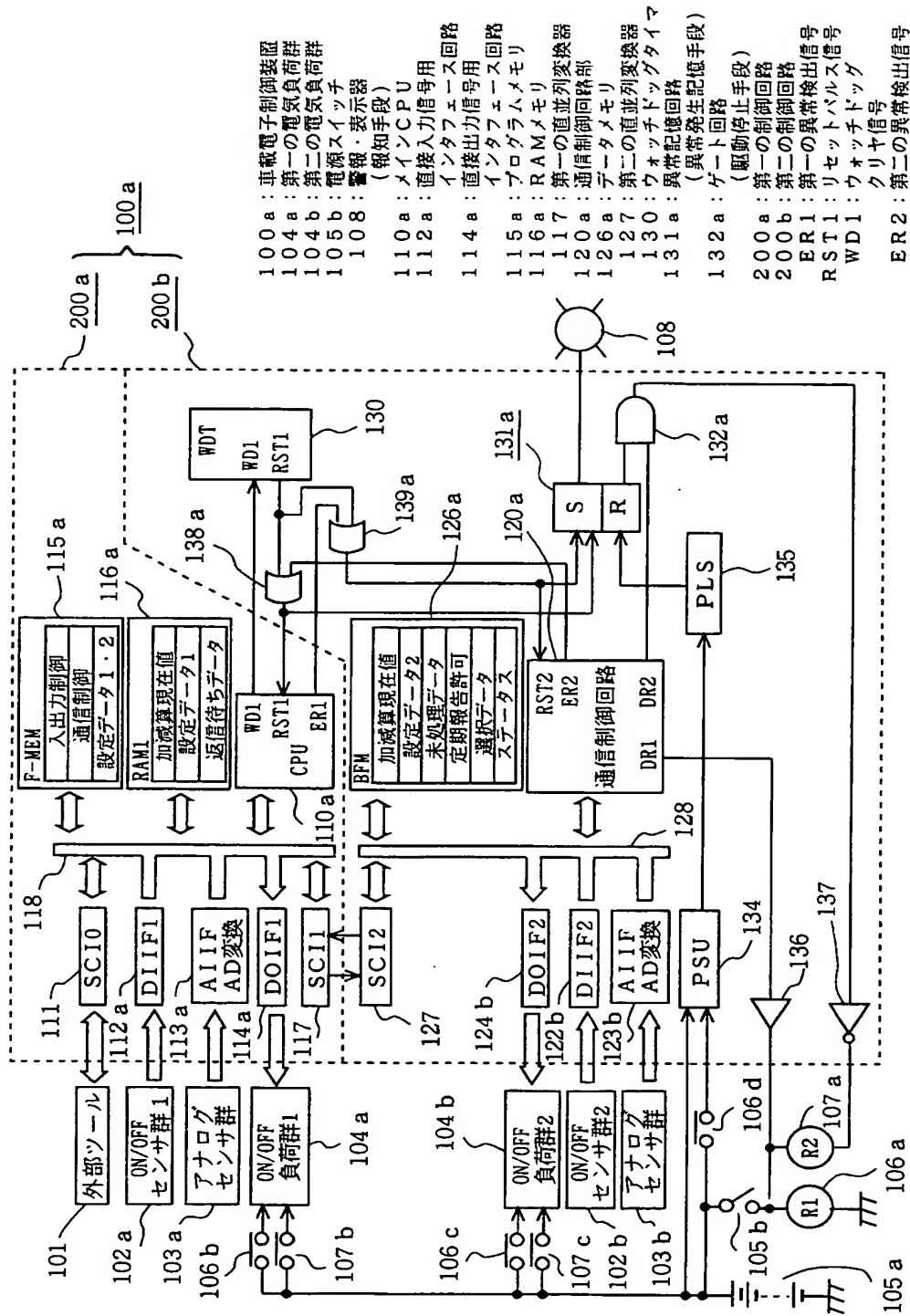
成を示す図である。

【符号の説明】

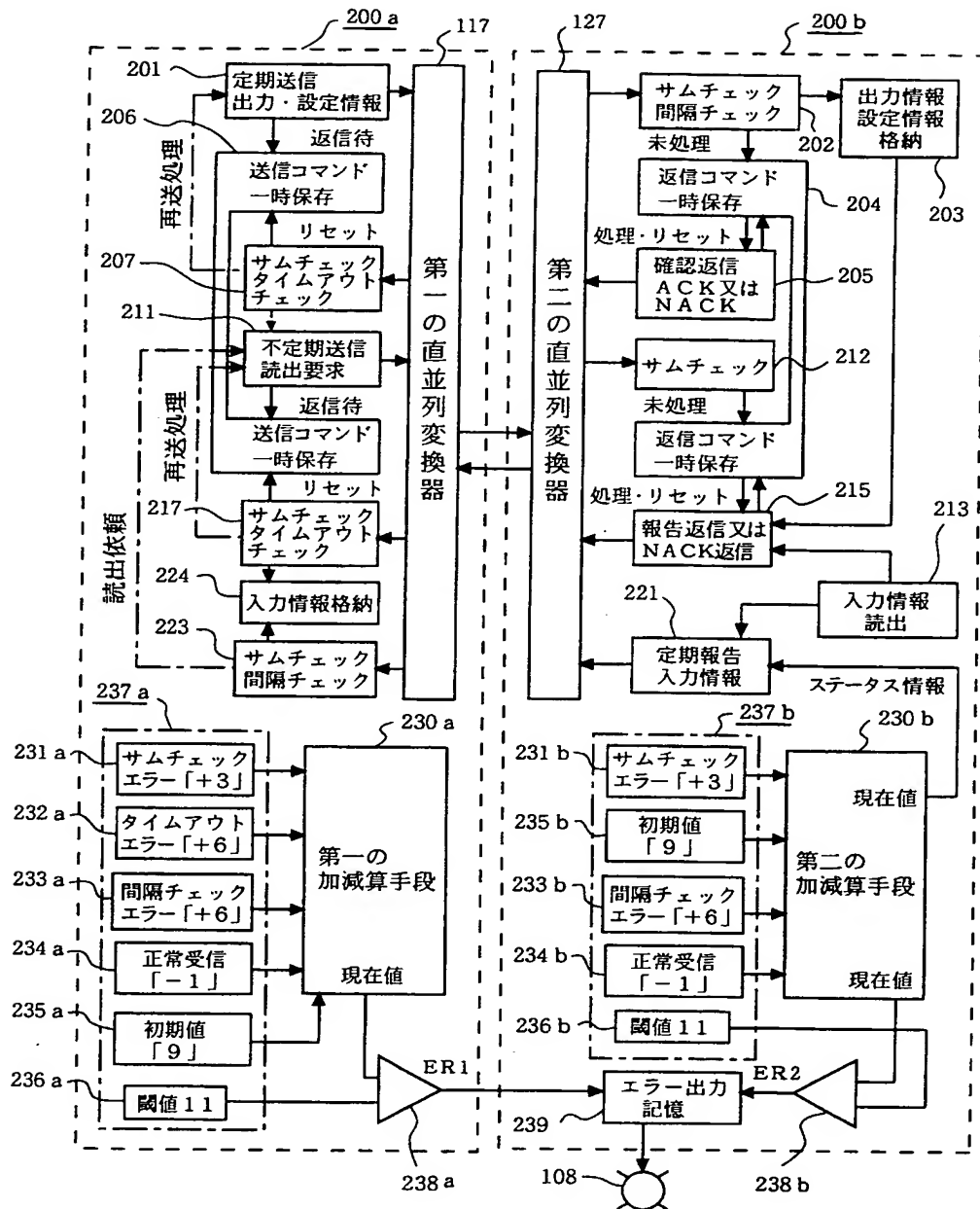
【 0 0 9 2 】

- 100a、100b 電子制御装置
- 110a、110b メイン C P U (マイクロプロセッサ)
- 112a 直接入力信号用インタフェース回路
- 114a 直接出力信号用インタフェース回路
- 115a、115b プログラムメモリ
- 116a、116b R A Mメモリ
- 117 第一の直並列変換器
- 127 第二の直並列変換器
- 120a 通信制御回路部 (併用制御回路部)
- 120b 補助 C P U (マイクロプロセッサ)
- 122b 間接入力信号用インタフェース回路
- 124b 間接出力信号用インタフェース回路
- 125 補助プログラムメモリ
- 126a データメモリ
- 126b 補助 R A Mメモリ (データメモリ)
- 130 ウォッチドッグタイマ
- 131a 異常記憶回路 (異常発生記憶手段)
- 131b 計数記憶回路 (異常発生記憶手段)
- 200a、210a 第一の制御回路部
- 200b、210b 第二の制御回路部
- 230a 第一の加減算手段
- 230b 第二の加減算手段
- 237a 第一の設定データメモリ
- 237b 第二の設定データメモリ

【書類名】 図面  
【図1】

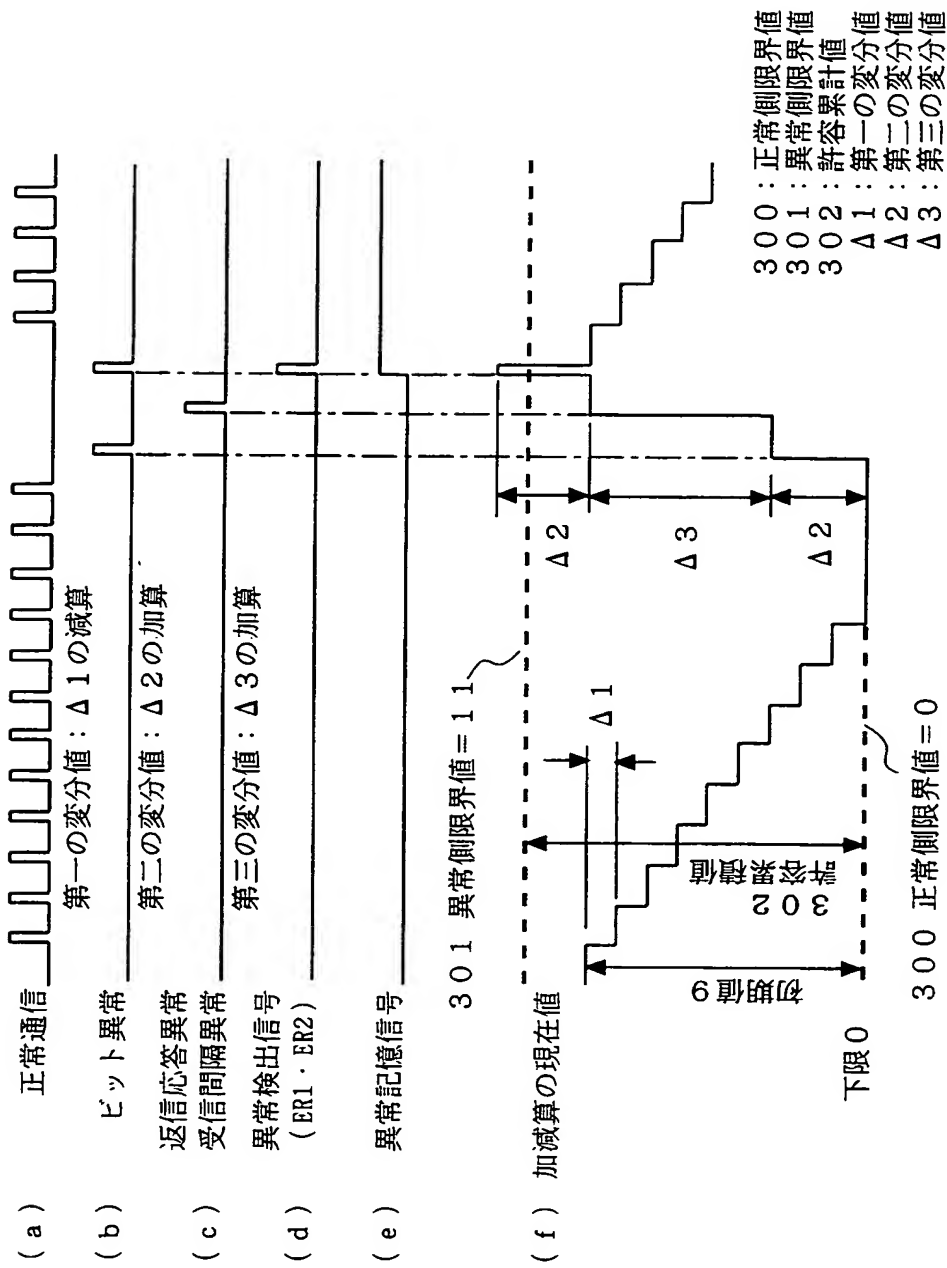


【図 2】

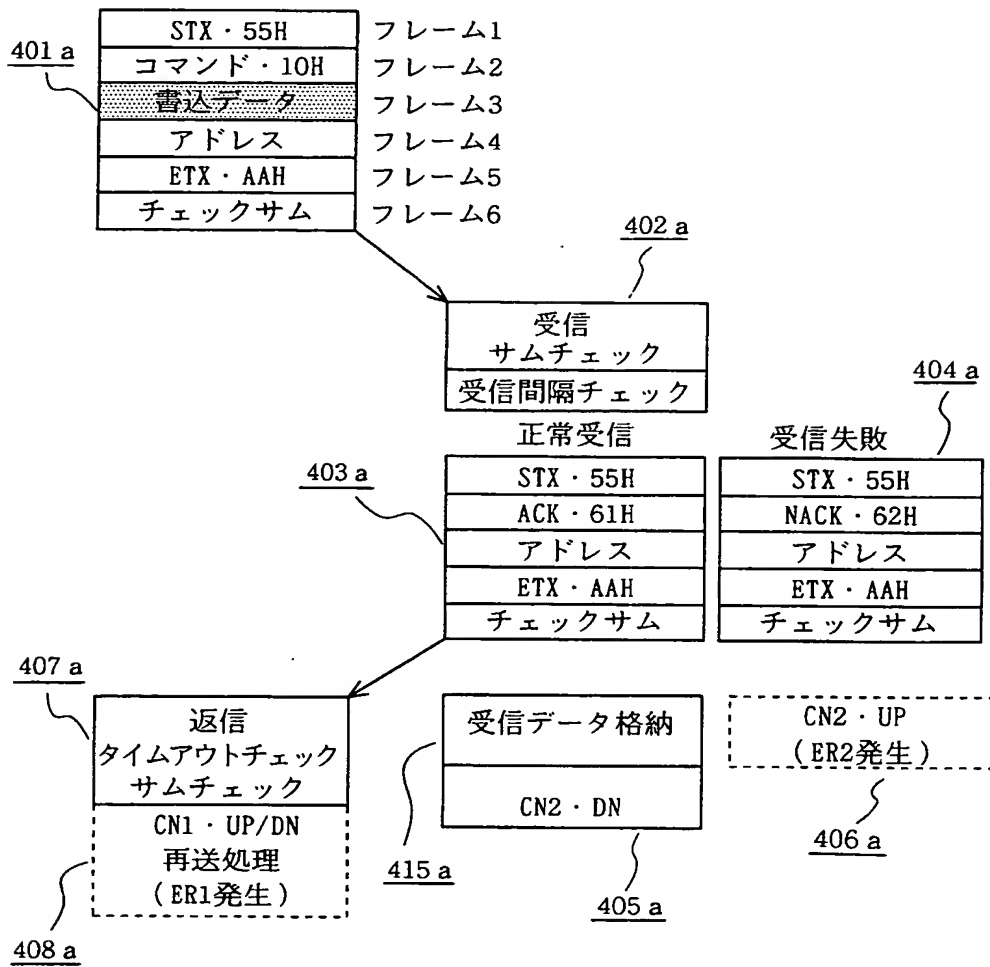


- |                                      |                    |
|--------------------------------------|--------------------|
| 108: 警報・表示器 (報知手段)                   | 200 b: 第二の制御回路部    |
| 200 a: 第一の制御回路部                      | 204: 未処理データテーブル    |
| 206: 返信待ちデータテーブル                     | 237 b: 第二の設定データメモリ |
| 237 a: 第一の設定データメモリ                   | 238 b: 第二の異常発生確定手段 |
| 238 a: 第一の異常発生確定手段                   | 239: 異常発生記憶手段      |
| 207, 217, 223: 判定ブロック (第一の通信エラー判定手段) |                    |
| 202, 212: 判定ブロック (第二の通信エラー判定手段)      |                    |

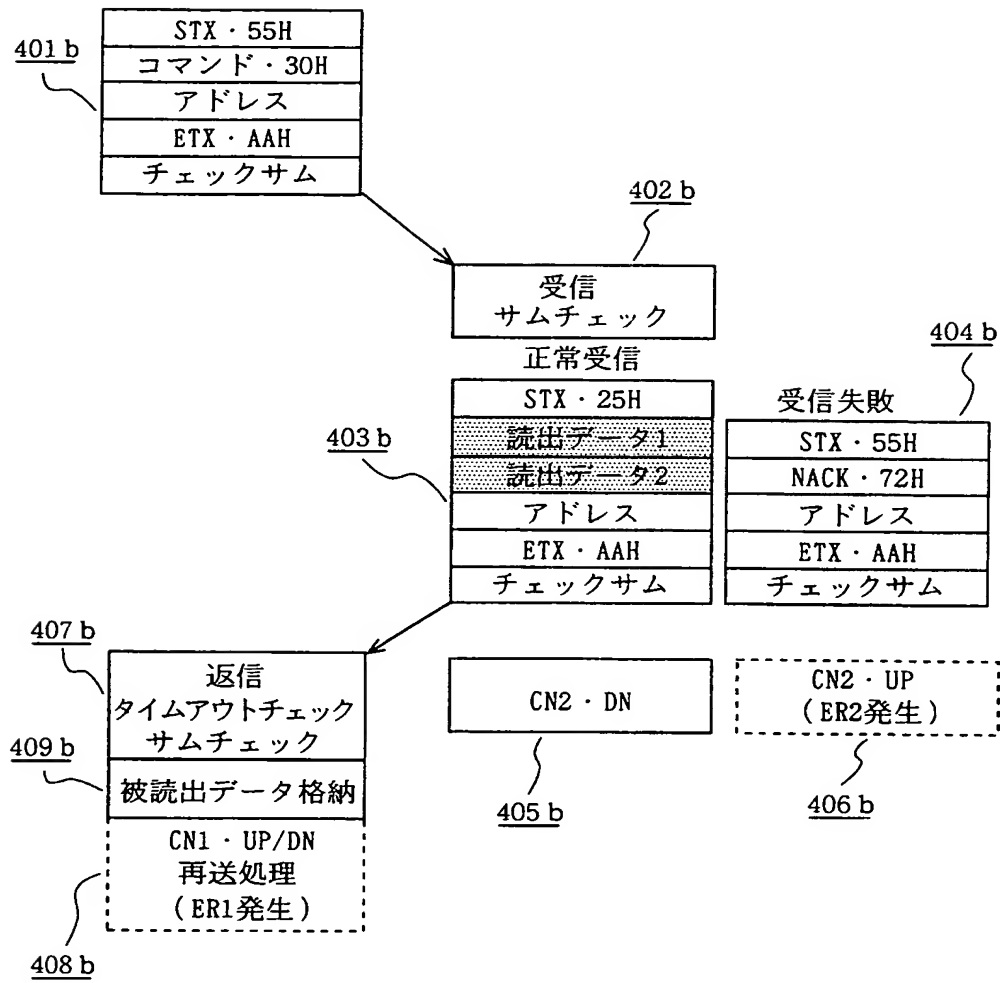
【図 3】



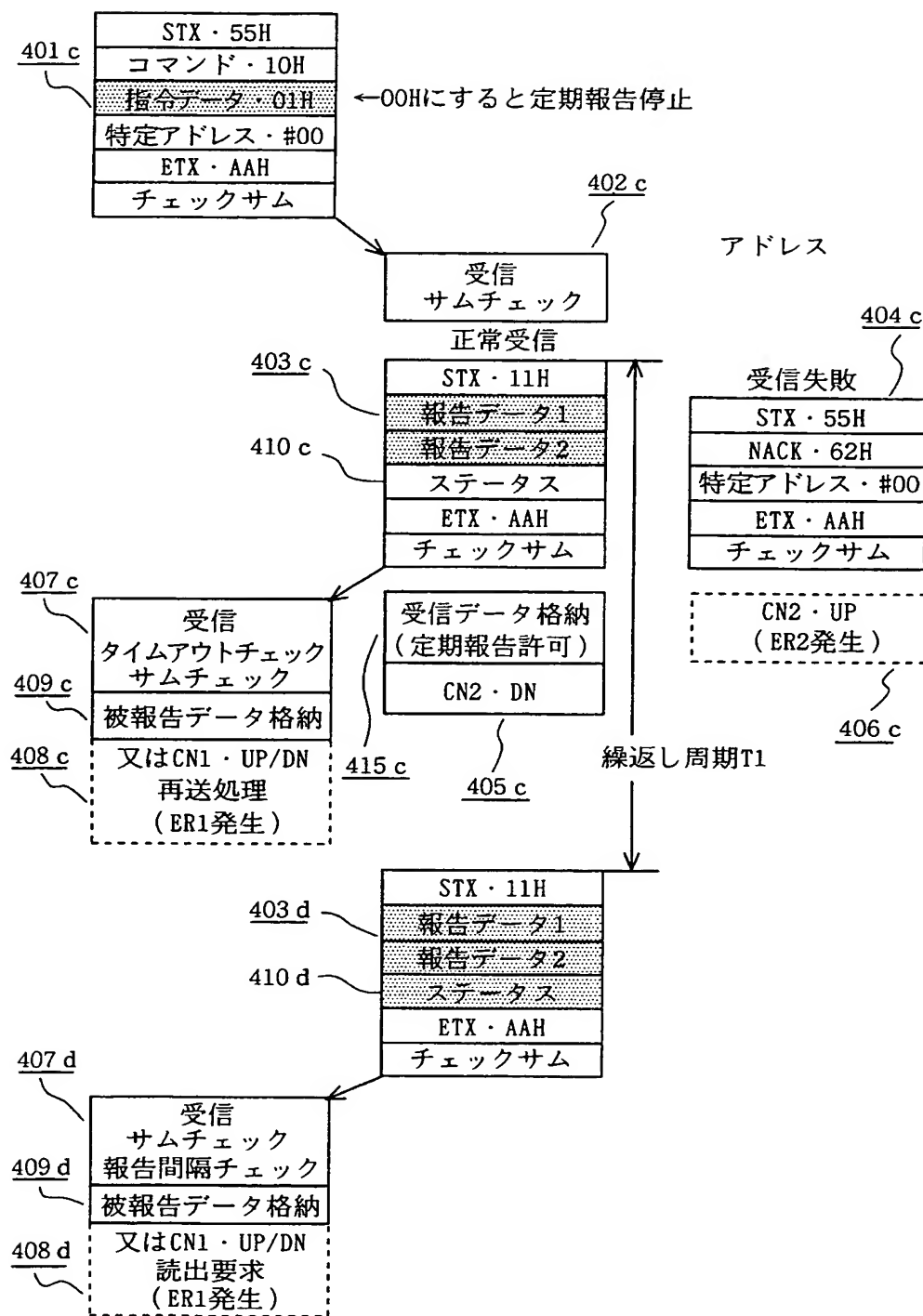
【図 4】



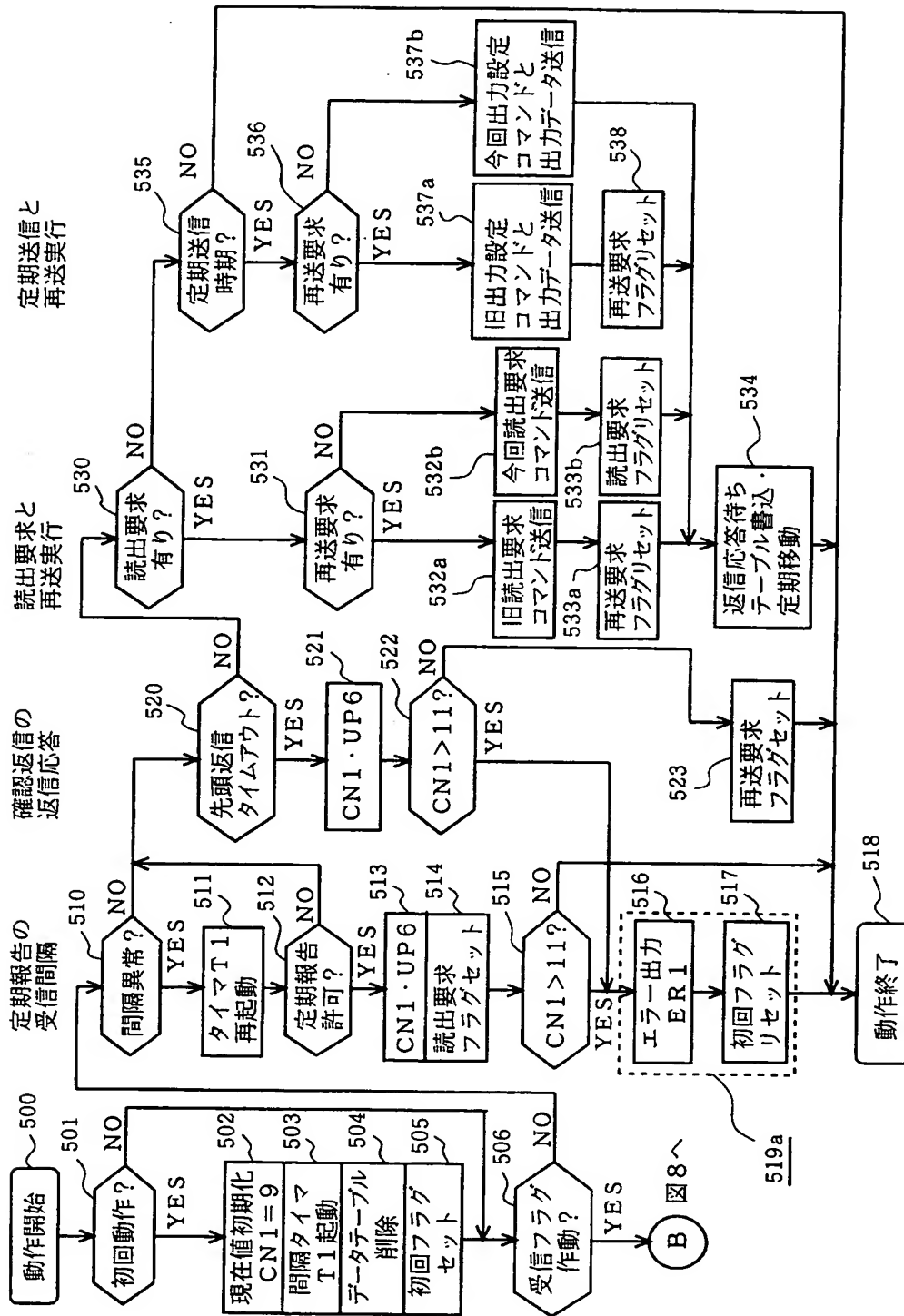
【図 5】



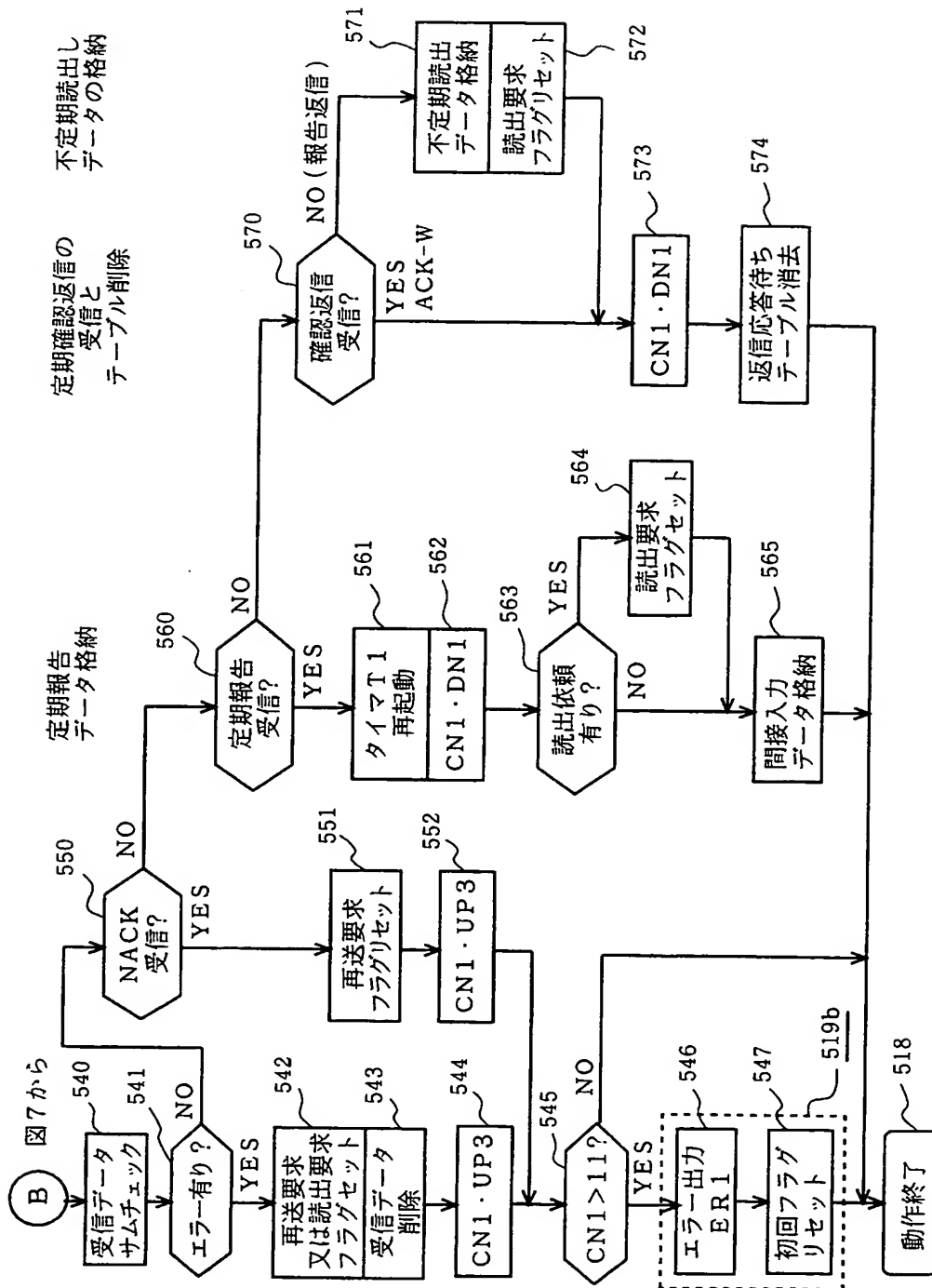
【圖 6】



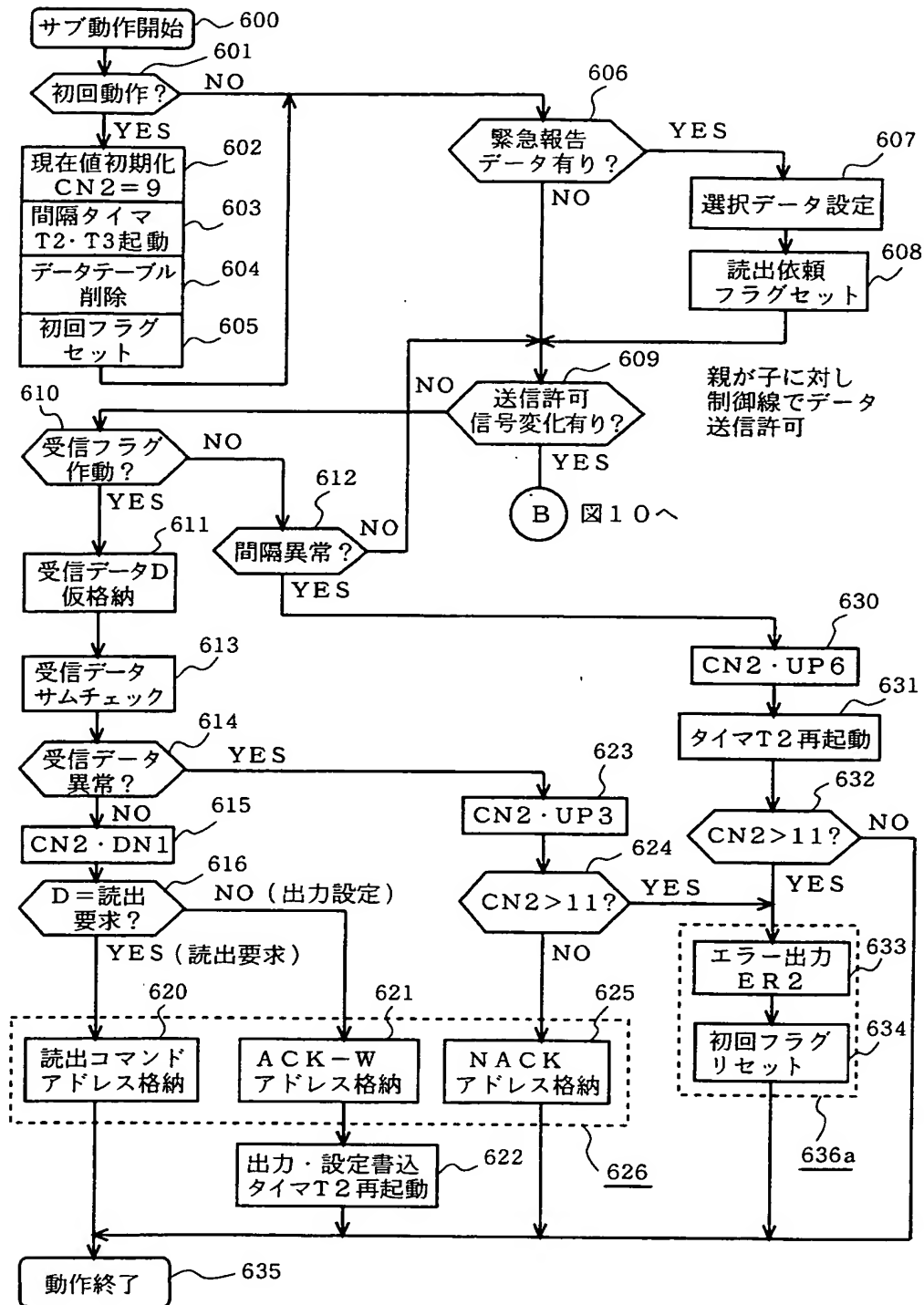
【図7】



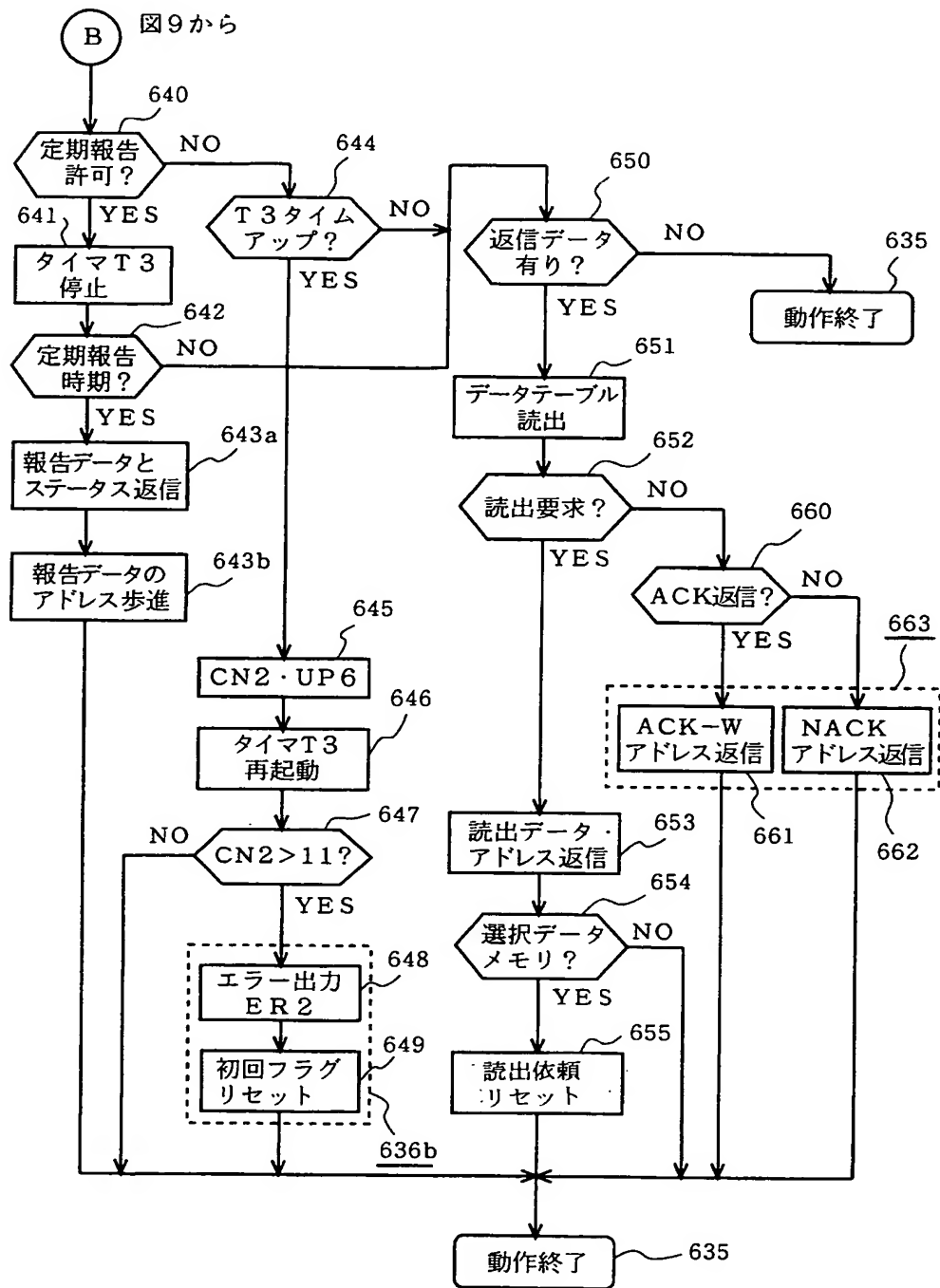
【図8】



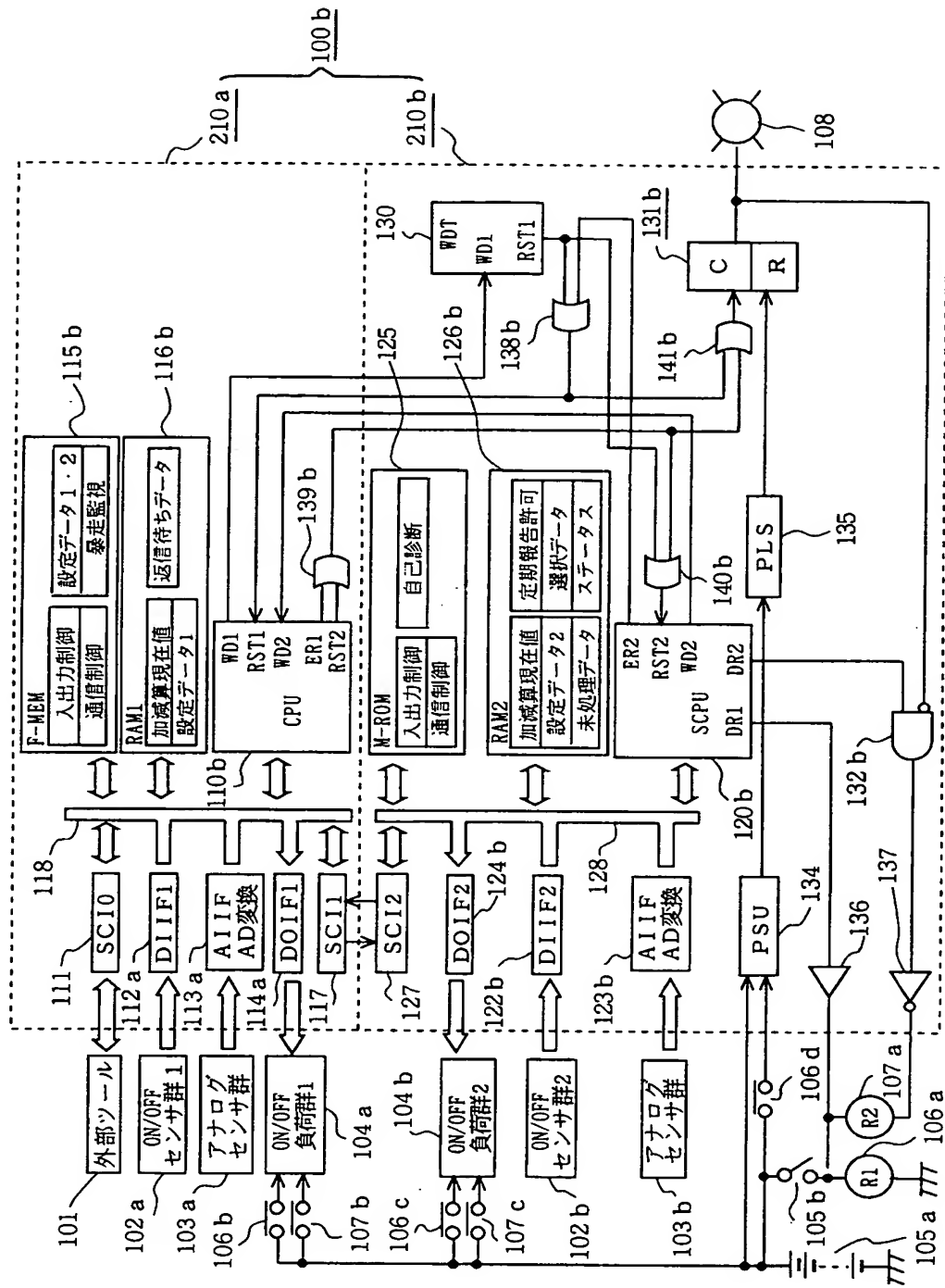
【図 9】



【図 10】



【図11】



【図 12】

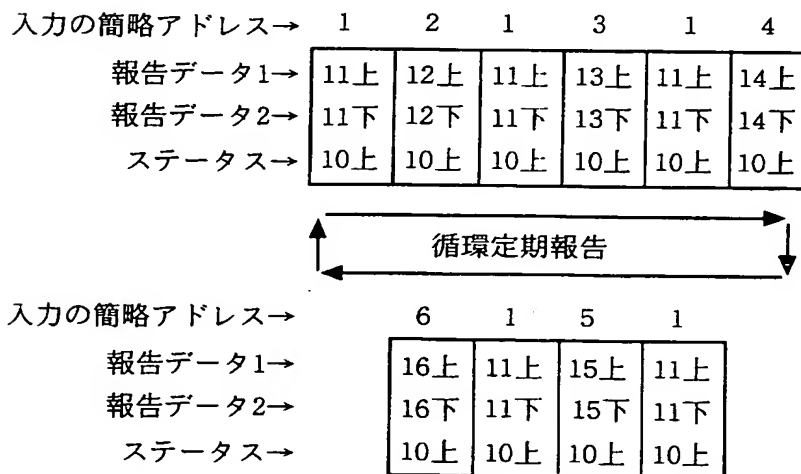
アドレス	b7	b6	b5	b4	b3	b2	b1	b0	
00									定期報告許可
01									正常側限界値
02									異常側限界値
03									初期値
04									第一の変分値
05									第二の変分値
06									第三の変分値
07									返信応答許容時間
08									受信間隔許容時間
09									
0A	Y07	Y06	Y05	Y04	Y03	Y02	DR2	DR1	間接出力1
0B	Y17	Y16	Y15	Y14	Y13	Y12	Y11	Y10	間接出力2

定期送信順序は 0Aと0Bの交互送信

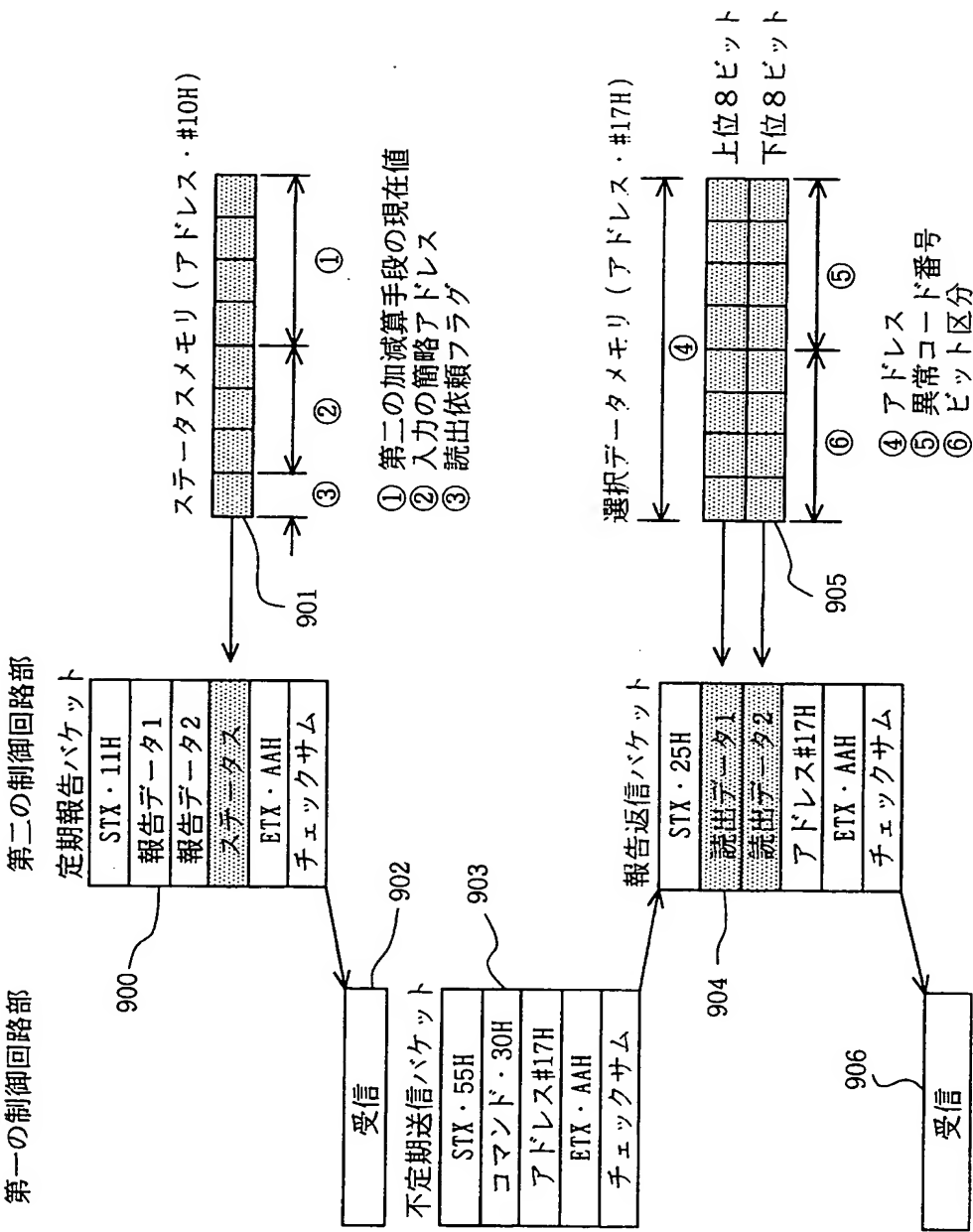
【図 13】

アドレス	b7	b6	b5	b4	b3	b2	b1	b0	
10	フラグ		入力アドレス		加減算現在値				ステータスメモリ
	0H				0H				
11	X07	X06	X05	X04	X03	X02	X01	X00	間接出力1
	X17	X16	X15	X14	X13	X12	X11	X10	間接出力2
12	上位8ビット								アナログ1
	下位8ビット								
13	上位8ビット								アナログ2
	下位8ビット								
14	上位8ビット								アナログ3
	下位8ビット								
15	上位8ビット								アナログ4
	下位8ビット								
16	上位8ビット								アナログ5
	下位8ビット								
17	アドレス								選択データメモリ
	ビット区分				異常コード				

【図 14】



【図15】



## 【書類名】 要約書

## 【要約】

【課題】 親局/子局間の定期送信／定期報告を適時に行いながら、通信異常の有無の確認が容易に行えるよう構成されたシリアル通信回路を備えた電子制御装置を提供する。

【解決手段】 電子制御装置を構成する第一・第二の制御回路部200a（親局）・200b（子局）は一对の直並列変換器117・127を介して相互交信する。 親局は定期送信手段201と不定期送信手段211とを有し、子局は定期報告手段221と親局からの送信データに対する確認返信手段205・報告返信手段215と未処理データテーブル204とを備えている。親局から子局への下り通信が正常であったかどうかは確認返信手段205・報告返信手段215によって確認され、上り通信による定期報告データに異常があると、不定期送信手段211によって再送読出要求を行うことで確認ができる。子局から親局に対する上り通信の渋滞は未処理データテーブル204によって回避されているので、定期送信と定期報告が適時に実行可能となる。

## 【選択図】 図2

特願 2 0 0 3 - 2 9 0 0 0 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社